

?s pn=jp 2001298663

S4 1 PN=JP 2001298663
?t s4/5

4/5/1

DIALOG(R) File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

07071018 **Image available**

SEMICONDUCTOR DEVICE AND ITS DRIVE METHOD

PUB. NO.: ~~2001-298663~~ [*JP 2001298663* A]

PUBLISHED: October 26, 2001 (20011026)

INVENTOR(s): KIMURA HAJIME

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2000-111424 [JP 2000111424]

FILED: April 12, 2000 (20000412)

INTL CLASS: H04N-005/335; H01L-021/20; H01L-021/265; H01L-021/268;
H01L-027/146

ABSTRACT

PROBLEM TO BE SOLVED: To provide a semiconductor device which has large signal amplitude value and also can increase a range where the input/output relation has a linear operation while preventing increases of the signal writing time and also to provide a drive method of the semiconductor device.

SOLUTION: In this semiconductor device having an amplifier transistor and a bias transistor and the drive method of the semiconductor device, a discharging transistor is provided and performs the pre-discharging.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-298663
(P2001-298663A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl. ⁷	識別記号	F I	ターム(参考)
H 0 4 N 5/335		H 0 4 N 5/335	E 4 M 1 1 8
H 0 1 L 21/20		H 0 1 L 21/20	5 C 0 2 4
21/265	6 0 2	21/265	6 0 2 A 5 F 0 5 2
21/268		21/268	F
27/146		27/14	A
審査請求 未請求 請求項の数43 O L (全 52 頁)			

(21) 出願番号 特願2000-111424(P2000-111424)

(22) 出願日 平成12年4月12日 (2000. 4. 12)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 木村 肇

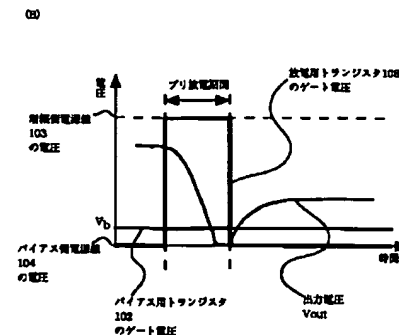
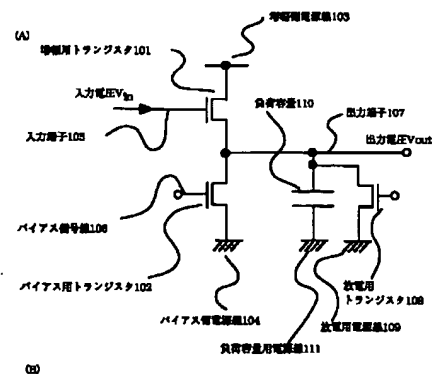
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内Fターム(参考) 4M118 AA10 AB01 AB10 BA05 BA14
CA02 CA05 CA06 CA32 CB11
CB14 DD09 DD12 EA05 FA06
FA08 FB08 FB09 FB13
5C024 AX01 AX12 BX01 CX43 GY31
HX02
5F052 AA02 AA17 AA24 BB01 BB07
DA00 DA02 FA05 GC10 JA04

(54) 【発明の名称】 半導体装置およびその駆動方法

(57) 【要約】

【課題】 信号書き込み時間が長くなることを防ぎながら、信号振幅値が大きく、かつ、入出力関係が線形で動作する範囲を大きくすることが出来る半導体装置およびその駆動方法を提供する。

【解決手段】 増幅用トランジスタ及びバイアス用トランジスタを有する半導体装置において、放電用トランジスタを設けて、プリ放電を行うことを特徴とする半導体装置およびその駆動方法。



【特許請求の範囲】

【請求項1】増幅用トランジスタとバイアス用トランジスタと増幅側電源線とバイアス側電源線とバイアス信号線と放電用トランジスタと放電用電源線とを有する半導体装置であって、

前記増幅用トランジスタのドレイン端子は前記増幅側電源線に接続されており、前記バイアス用トランジスタのソース端子は前記バイアス側電源線に接続されており、前記増幅用トランジスタのソース端子は前記バイアス用トランジスタのドレイン端子に接続されており、前記バイアス用トランジスタのゲート端子は前記バイアス信号線に接続されており、前記増幅用トランジスタのゲート端子が入力端子になっており、前記増幅用トランジスタのソース端子が出力端子になっており、
前記出力端子と前記放電用電源線とは、一方は前記放電用トランジスタのソース端子に、一方は前記放電用トランジスタのドレイン端子に接続されていることを特徴とする半導体装置。

【請求項2】増幅用トランジスタとバイアス用トランジスタと増幅側電源線とバイアス側電源線とバイアス信号線とを有する半導体装置であって、
前記増幅用トランジスタのドレイン端子は前記増幅側電源線に接続されており、前記バイアス用トランジスタのソース端子は前記バイアス側電源線に接続されており、前記増幅用トランジスタのソース端子は前記バイアス用トランジスタのドレイン端子に接続されており、前記バイアス用トランジスタのゲート端子は前記バイアス信号線に接続されており、前記増幅用トランジスタのゲート端子が入力端子になっており、前記増幅用トランジスタのソース端子が出力端子になっており、
前記バイアス側電源線の電位を前記増幅側電源線の電位に近づけるように動作する信号発生装置が前記バイアス信号線に接続されていることを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、負荷容量の一方の端子が前記出力端子に接続されており、前記負荷容量のもう一方の端子が負荷容量用電源線に接続されていることを特徴とする半導体装置。

【請求項4】請求項1または請求項3のいずれか1項において、前記放電用電源線と前記バイアス側電源線が接続されていることを特徴とする半導体装置。

【請求項5】請求項3において、前記放電用電源線、前記負荷容量用電源線、または前記バイアス側電源線の少なくとも2本が接続されていることを特徴とする半導体装置。

【請求項6】請求項3または請求項5のいずれか1項において、前記負荷容量用電源線が前記増幅側電源線に接続されていることを特徴とする半導体装置。

【請求項7】請求項3乃至請求項6のいずれか1項において、前記増幅側電源線、あるいは前記バイアス側電源線から、前記負荷容量、あるいは前記出力端子へ流れる

電流を制御する選択スイッチを少なくとも1つ有することを特徴とする半導体装置。

【請求項8】請求項1乃至請求項7までのいずれか1項において、前記増幅側電源線、あるいは前記バイアス側電源線から、前記出力端子へ流れる電流を制御する選択スイッチを少なくとも1つ有することを特徴とする半導体装置。

【請求項9】請求項7または請求項8において、前記選択スイッチが、Nチャネル型トランジスタまたはPチャネル型トランジスタの少なくとも1つを有することを特徴とする半導体装置。

【請求項10】請求項1乃至請求項9のいずれか1項において、前記バイアス用トランジスタのゲート・ソース間電圧の絶対値が、前記バイアス用トランジスタを導通状態にするために必要なゲート・ソース間電圧の絶対値の最小値に等しいことを特徴とする半導体装置。

【請求項11】請求項1乃至請求項10のいずれか1項において、前記入力端子に光電変換素子が接続されていることを特徴とする半導体装置。

【請求項12】請求項1乃至請求項10のいずれか1項において、前記入力端子に光電変換素子で生成された信号が入力することを特徴とする半導体装置。

【請求項13】請求項11または請求項12において、前記光電変換素子が、X線センサまたは赤外線センサであることを特徴とする半導体装置。

【請求項14】請求項11または請求項12において、前記光電変換素子が、フォトダイオード、ショットキーダイオード、アバランシェダイオード、またはフォトコンダクタのいずれか1つであることを特徴とする半導体装置。

【請求項15】請求項14において、前記フォトダイオードが、PN型、PIN型、またはNPN埋め込み型のいずれか1つであることを特徴とする半導体装置。

【請求項16】請求項11乃至請求項15のいずれか1項において、リセット用トランジスタを有しており、前記リセット用トランジスタのソース端子もしくはドレイン端子が前記光電変換素子と接続されていることを特徴とする半導体装置。

【請求項17】請求項1乃至請求項16のいずれか1項において、前記バイアス用トランジスタを複数有する場合、前記複数のバイアス用トランジスタのゲート・ソース間電圧の絶対値が、前記複数のバイアス用トランジスタの全てを導通状態にするために必要なゲート・ソース間電圧の絶対値の最小値に等しいことを特徴とする半導体装置。

【請求項18】請求項1、または請求項3乃至請求項7のいずれか1項において、前記増幅用トランジスタと前記バイアス用トランジスタと前記放電用トランジスタが同じ極性のトランジスタであることを特徴とする半導体装置。

【請求項 1 9】増幅用トランジスタとバイアス用トランジスタと増幅側電源線とバイアス側電源線とバイアス信号線とを有し、

前記増幅用トランジスタのドレイン端子は前記増幅側電源線に接続されており、前記バイアス用トランジスタのソース端子は前記バイアス側電源線に接続されており、前記増幅用トランジスタのソース端子は前記バイアス用トランジスタのドレイン端子に接続されており、前記バイアス用トランジスタのゲート端子は前記バイアス信号線に接続されており、前記増幅用トランジスタのゲート端子が入力端子になっており、前記増幅用トランジスタのソース端子が出力端子になっている半導体装置の駆動方法において、ブリ放電を行った後、信号を出力することを特徴とする半導体装置の駆動方法。

【請求項 2 0】増幅用トランジスタとバイアス用トランジスタと増幅側電源線とバイアス側電源線とバイアス信号線とを有し、

前記増幅用トランジスタのドレイン端子は前記増幅側電源線に接続されており、前記バイアス用トランジスタのソース端子は前記バイアス側電源線に接続されており、前記増幅用トランジスタのソース端子は前記バイアス用トランジスタのドレイン端子に接続されており、前記バイアス用トランジスタのゲート端子は前記バイアス信号線に接続されており、前記増幅用トランジスタのゲート端子が入力端子になっており、前記増幅用トランジスタのソース端子が出力端子になっている半導体装置の駆動方法において、前記バイアス側電源線の電位を前記増幅側電源線の電位に近づけることによりブリ放電を行った後、信号を出力することを特徴とする半導体装置の駆動方法。

【請求項 2 1】増幅用トランジスタとバイアス用トランジスタと増幅側電源線とバイアス側電源線とバイアス信号線と放電用トランジスタと放電用電源線とを有し、前記増幅用トランジスタのドレイン端子は前記増幅側電源線に接続されており、前記バイアス用トランジスタのソース端子は前記バイアス側電源線に接続されており、前記増幅用トランジスタのソース端子は前記バイアス用トランジスタのドレイン端子に接続されており、前記バイアス用トランジスタのゲート端子は前記バイアス信号線に接続されており、前記増幅用トランジスタのゲート端子が入力端子になっており、前記増幅用トランジスタのソース端子が出力端子になっており、前記出力端子と前記放電用電源線とは、一方は前記放電用トランジスタのソース端子に、一方は前記放電用トランジスタのドレイン端子に接続されている半導体装置の駆動方法において、

前記放電用トランジスタを導通状態にすることによりブリ放電を行った後、信号を出力することを特徴とする半導体装置の駆動方法。

【請求項 2 2】請求項 2 1 において、前記放電用電源線の電位が前記バイアス信号線の電位と前記バイアス側電源線の電位の間の値を取ることを特徴とする半導体装置の駆動方法。

【請求項 2 3】請求項 1 9 乃至請求項 2 2 のいずれか 1 項において、負荷容量の一方の端子が前記出力端子に接続されており、前記負荷容量のもう一方の端子が負荷容量用電源線に接続されていることを特徴とする半導体装置の駆動方法。

【請求項 2 4】請求項 2 1 または請求項 2 2 のいずれか 1 項において、前記放電用電源線と前記バイアス側電源線を接続することを特徴とする半導体装置の駆動方法。

【請求項 2 5】請求項 2 3 において、前記放電用電源線、前記負荷容量用電源線、または前記バイアス側電源線の少なくとも 2 本を接続することを特徴とする半導体装置の駆動方法。

【請求項 2 6】請求項 2 3 または請求項 2 5 のいずれか 1 項において、前記負荷容量用電源線が前記増幅側電源線に接続されていることを特徴とする半導体装置の駆動方法。

【請求項 2 7】請求項 2 3 乃至請求項 2 6 のいずれか 1 項において、前記増幅側電源線、あるいは前記バイアス側電源線から、前記負荷容量、あるいは前記出力端子へ流れる電流を制御する選択スイッチを少なくとも 1 つ有することを特徴とする半導体装置の駆動方法。

【請求項 2 8】請求項 1 9 乃至請求項 2 6 までのいずれか 1 項において、前記増幅側電源線、あるいは前記バイアス側電源線から、前記出力端子へ流れる電流を制御する選択スイッチを少なくとも 1 つ有することを特徴とする半導体装置の駆動方法。

【請求項 2 9】請求項 2 7 または請求項 2 8 において、前記選択スイッチが、Nチャネル型トランジスタまたはPチャネル型トランジスタの少なくとも 1 つを有することを特徴とする半導体装置の駆動方法。

【請求項 3 0】請求項 1 9 乃至請求項 2 9 のいずれか 1 項において、前記バイアス用トランジスタのゲート・ソース間電圧の絶対値が、前記バイアス用トランジスタを導通状態にするために必要なゲート・ソース間電圧の絶対値の最小値に等しいことを特徴とする半導体装置の駆動方法。

【請求項 3 1】請求項 1 9 乃至請求項 3 0 のいずれか 1 項において、前記入力端子に光電変換素子が接続されていることを特徴とする半導体装置の駆動方法。

【請求項 3 2】請求項 1 9 乃至請求項 3 0 のいずれか 1 項において、前記入力端子に光電変換素子で生成された信号が入力することを特徴とする半導体装置の駆動方法。

【請求項 3 3】請求項 3 1 または請求項 3 2 において、前記光電変換素子が、X線センサまたは赤外線センサであることを特徴とする半導体装置の駆動方法。

【請求項34】請求項31または請求項32において、前記光電変換素子が、フォトダイオード、ショットキダイオード、アバランシェダイオード、またはフォトコンダクタのいずれか1つであることを特徴とする半導体装置の駆動方法。

【請求項35】請求項34において、前記フォトダイオードが、PN型、PIN型、またはNPN埋め込み型のいずれか1つであることを特徴とする半導体装置の駆動方法。

【請求項36】請求項31乃至請求項35のいずれか1項において、リセット用トランジスタを有しており、前記リセット用トランジスタが前記光電変換素子をリセットすることを特徴とする半導体装置の駆動方法。

【請求項37】請求項19乃至請求項36のいずれか1項において、前記バイアス用トランジスタを複数有する場合、前記複数のバイアス用トランジスタのゲート・ソース間電圧の絶対値が、前記複数のバイアス用トランジスタの全てを導通状態にするために必要なゲート・ソース間電圧の絶対値の最小値に等しいことを特徴とする半導体装置の駆動方法。

【請求項38】請求項21乃至請求項37のいずれか1項において、前記増幅用トランジスタと前記バイアス用トランジスタと前記放電用トランジスタが同じ極性のトランジスタであることを特徴とする半導体装置の駆動方法。

【請求項39】請求項1から請求項18までのいずれか1項に記載の前記半導体装置を用いることを特徴とするスキャナ。

【請求項40】請求項1から請求項18までのいずれか1項に記載の前記半導体装置を用いることを特徴とするデジタルスチルカメラ。

【請求項41】請求項1から請求項18までのいずれか1項に記載の前記半導体装置を用いることを特徴とするX線カメラ。

【請求項42】請求項1から請求項18までのいずれか1項に記載の前記半導体装置を用いることを特徴とする携帯情報端末。

【請求項43】請求項1から請求項18までのいずれか1項に記載の前記半導体装置を用いることを特徴とするコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、半導体装置およびその駆動方法に関する。より詳細には、イメージセンサ機能を有するMOS型センサ装置およびその駆動方法に関する。

【0002】

【従来の技術】近年、パソコン等の情報機器が広く普及し、様々な情報を電子情報としてパソコンなどに読み込みたいという要求が高くなっている。そのため、従来の銀塩カメラに代わるものとしてデジタルスチルカメラ

が、また、紙などに印刷されたものを読み取るための手段としてスキャナが、大きく注目されている。

【0003】デジタルスチルカメラでは、画素が2次元に配列されたエリアセンサが用いられている。スキャナやコピー機などでは、画素が1次元に配列されたラインセンサが用いられている。ラインセンサを用いて2次元の画像を読み取る場合は、ラインセンサを移動させながら信号を読み取っている。

【0004】これらの画像読み取り機器では、イメージセンサとしてCCD型センサが主に使われている。CCD型センサでは、各画素のフォトダイオードで光電変換を行い、その信号を、CCDを用いて読み出している。しかしながら、近年、周辺回路を内蔵できることや、ワンチップ化できること、リアルタイム信号処理に適していること、消費電力が低いことなどを武器に、単結晶シリコン基板を用いて作成されたMOS型センサが一部で普及の兆しを見せている。また、研究レベルでは、ガラス基板上にTFETを用いて作成したMOS型センサも開発されている。MOS型センサでは、各画素のフォトダイオードで光電変換を行い、MOSトランジスタによって形成されたスイッチを用いて、各画素の信号を読み出している。

【0005】MOS型センサの画素構成としては、様々なタイプのものが開発されている。それらは、2つの種類、つまり、パッシブセンサとアクティブセンサとに、大まかには分類できる。パッシブセンサは、各画素に信号増幅素子を搭載しないセンサであり、アクティブセンサは、各画素に信号増幅素子を搭載するセンサである。アクティブセンサでは、各画素内で信号が増幅されるため、パッシブセンサよりも雑音に強いというメリットがある。

【0006】図2に、パッシブセンサにおける画素の回路例を示す。画素10005は、スイッチ用トランジスタ10001とフォトダイオード10004で構成されている。フォトダイオード10004は、電源基準線10006とスイッチ用トランジスタ10001のソース端子に接続されている。スイッチ用トランジスタ10001のゲート端子には、ゲート信号線10002が接続され、ドレイン端子には、信号出力線10003が接続されている。フォトダイオード10004では、光電変換が行われる。つまり、入射した光に応じて電荷を生成し、電荷をそこに蓄積する。そして、ゲート信号線10003を制御して、スイッチ用トランジスタ10001を導通状態にして、フォトダイオード10004の電荷を信号出力線10003を通して読み出している。

【0007】アクティブセンサの画素の構成としては、様々なタイプがある。IEDM95: p17: CMOS Image Sensors, Electronic Camera On a Chip、あるいはIEDM97: p201: CMOS Image Sensors - Recent Advances and Device Scaling Considerationsでは、フォトダイオード型、フォトゲート型などの画素構成と動作を紹介している。ISSCC97: p180: A 1/4 Inch 330k Square Pixel Progr

essive Scan CMOS Active Pixel Image Sensorでは、画素の選択方法という観点で画素構成を分類している。つまり、選択する素子として、トランジスタを使う場合や、容量を使う場合などについて、述べている。このように、1画素を構成するトランジスタ数に関して、様々なものがある。JIEC 세미나: CMOSカメラの開発展望: 平成10年2月20日には、CMOS型センサの全般について広く紹介しており、リセット用トランジスタのゲート電極とドレイン電極を接続することにより、光強度の対数の信号を出力する対数変換型などについても、述べている。

【0008】最もよく採用されているアクティブセンサの画素構成は、図3に示すように、3つのNチャネル型トランジスタと1つのフォトダイオードで1つの画素308を構成するタイプである。フォトダイオード304のPチャネル側端子は電源基準線312に接続され、Nチャネル側端子は、増幅用トランジスタ306のゲート端子と接続されている。増幅用トランジスタ306のドレイン端子とソース端子は、電源線309とスイッチ用トランジスタ301のドレイン端子に接続されている。スイッチ用トランジスタ301のゲート端子には、ゲート信号線302が接続され、ソース端子には、信号出力線303が接続されている。リセット用トランジスタ307のゲート端子は、リセット信号線306に接続されている。リセット用トランジスタ307のソース端子とドレイン端子は、電源線309と増幅用トランジスタ306のゲート端子に接続されている。

【0009】エリアセンサの場合、一本の信号出力線303には、1個の画素308だけでなく、多くの画素が接続されている。ただし、バイアス用トランジスタ311は、1本の信号出力線303につき、1個だけ配置されている。バイアス用トランジスタのゲート端子には、バイアス信号線310が接続されている。バイアス用トランジスタのソース端子とドレイン端子は、信号出力線303とバイアス用電源線313に接続されている。

【0010】次に、画素308の基本的な動作について述べる。

【0011】まず、リセット用トランジスタ307を導通状態にする。フォトダイオード304のPチャネル側端子が電源基準線312に接続され、Nチャネル側端子が電源線309と電氣的につながり状態になるため、フォトダイオード304には、逆バイアス電圧が加わることになる。以後、フォトダイオード304のNチャネル側端子の電位が電源線309の電位にまで充電される動作を、リセットと呼ぶことにする。その後、リセット用トランジスタ307を非導通状態にする。すると、フォトダイオード304に光が照射されている場合、光電変換により、電荷が発生する。そのため、時間が経過するにしたがって、電源線309の電位にまで充電されていたフォトダイオード304のNチャネル側端子の電位が、光によって発生した電荷が原因となって、徐々に小さくなっていく。そして、ある一定時間経過した後、スイッチ用トランジスタ301を導

通状態にする。すると、増幅用トランジスタ306を通じて、信号出力線303へ信号が出力される。

【0012】ただし、信号が出力されている時、バイアス信号線310には、電位が加えられており、バイアス用トランジスタ311には、電流が流れるようになっている。よって、増幅用トランジスタ306とバイアス用トランジスタ311は、いわゆる、ソースフォロワ回路として動作することになる。

【0013】そこで、図4に最も基本的なソースフォロワ回路の例を示す。図4では、Nチャネル型トランジスタを用いた場合について示す。Pチャネル型トランジスタを用いてソースフォロワ回路を構成することも出来る。増幅側電源線403には、電源電位V_{dd}が加えられている。バイアス側電源線404には、基準電位0Vが加えられている。増幅用トランジスタ401のドレイン端子は増幅側電源線403に接続され、ソース端子はバイアス用トランジスタ402のドレイン端子に接続されている。バイアス用トランジスタ402のソース端子は、バイアス側電源線404に接続されている。バイアス用トランジスタ402のゲート端子には、バイアス電位V_bが加えられている。よって、バイアス用トランジスタ402には、バイアス電流I_bが流れることになる。バイアス用トランジスタ402は、基本的には、定電流源として動作する。増幅用トランジスタ401のゲート端子が、入力端子406になる。よって、増幅用トランジスタ401のゲート端子には、入力電位V_{in}が加えられる。増幅用トランジスタ401のソース端子が出力端子407になる。よって、増幅用トランジスタ401のソース端子の電位が、出力電位V_{out}となる。このときのソースフォロワ回路の入出力関係は、V_{out}=V_{in}-V_bとなる。

【0014】図3と図4を比較させた場合、増幅用トランジスタ306は、増幅用トランジスタ401に対応する。バイアス用トランジスタ311は、バイアス用トランジスタ402に対応する。スイッチ用トランジスタ301は、導通状態であることを想定しているため、図4では、省略されていると考えることが出来る。フォトダイオード304のNチャネル側端子の電位は、入力電位V_{in}（増幅用トランジスタ401のゲート電位、つまり入力端子406の電位）に対応する。信号出力線303の電位は、出力電位V_{out}（増幅用トランジスタ401のソース電位、つまり出力端子407の電位）に対応する。

【0015】従って、図3において、フォトダイオード304のNチャネル側端子の電位をV_{pd}とし、バイアス信号線310の電位、つまり、バイアス電位をV_bとし、信号出力線303の電位をV_{out}とし、電源基準線312とバイアス側電源線313の電位を0Vとすると、V_{out}=V_{pd}-V_bとなる。よって、フォトダイオード304のNチャネル側端子の電位V_{pd}が変化すると、V_{out}も変化することになり、V_{pd}の変化を信号として出力し、光強度を読みとることが出来る。

【0016】ソースフォロワ回路の基本的な動作は、上述のようなものである。しかし、本発明の動作の説明に必要なため、次に、詳細にソースフォロワ回路の動作原理を述べておく。ここでの説明では、簡単のため、増幅用トランジスタとバイアス用トランジスタは、サイズ、特性が同一であると仮定する。また、電流特性も理想的なものである、つまり、ソース・ドレイン間電圧が変わっても、飽和領域における電流値は変わらないと仮定する。

【0017】まず、図4に示すように、バイアス用トランジスタ402のゲート端子には、バイアス電位 V_b が加えられている。バイアス用トランジスタ402が飽和領域で動作する場合は、図5に示すように、電流 I_b が流れるとする。一方、両トランジスタは直列に接続されているため、定常状態では、増幅用トランジスタ401とバイアス用トランジスタ402には、同量の電流が流れるはずである。よって、バイアス用トランジスタ402に電流 I_b が流れている時は、増幅用トランジスタ401にも電流 I_b が流れていることになる。増幅用トランジスタ401に電流 I_b が流れるためには、増幅用トランジスタ401のゲート・ソース間電圧 V_{gs} がバイアス電位 V_b と等しい、ということが必要である。

【0018】そこで、ソースフォロワ回路における出力電位 V_{out} を求めてみる。出力電位 V_{out} は、入力電位 V_{in} よりも増幅用トランジスタ401のゲート・ソース間電圧 V_{gs} の分だけ低い電位である。よって、 $V_{out} = V_{in} - V_{gs}$ となる。ここで、増幅用トランジスタ401のゲート・ソース間電圧 V_{gs} は、バイアス電位 V_b と等しいため、 $V_{out} = V_{in} - V_b$ となる。ただし、この式は、図5に示すように、バイアス用トランジスタ402が飽和領域で動作する場合（これは、 V_{in} が大きい場合に相当する）にのみ、成立する。 V_{in} が小さくてバイアス用トランジスタ402が線形領域で動作する場合では、図6に示すように、 $V_{out} = V_{in} - V_b$ の式は成立しなくなる。バイアス用トランジスタ402が線形領域で動作する場合は、 $V_{out} = V_{in} - V_b'$ となる。ここで、 V_b' は、その時の増幅用トランジスタ401でのゲート・ソース間電圧である。バイアス用トランジスタ402が線形領域で動作する場合に流れる電流を、 I_b' とすると、 $I_b' < I_b$ である。よって、 $V_b' < V_b$ となる。つまり、 V_{in} 、 I_b' が小さくなると、 V_b' も小さくなる。その結果、図7に示すように、入出力関係（ V_{in} と V_{out} の関係）は、非線形になる。

【0019】以上のことから、次のようなことが分かる。

【0020】まず、ソースフォロワ回路における出力電位 V_{out} の振幅値を大きくするためには、バイアス電位 V_b を小さくした方がよい。 $V_{out} = V_{in} - V_b$ なので、 V_b が小さいと、 V_{out} を大きく出来る。ただし、バイアス用トランジスタ402が、導通状態にあることが必要である。よって、バイアス電位 V_b は、バイアス用トランジスタ402の

しきい値電圧よりも大きい値にしなければならない。

【0021】一方、バイアス電位 V_b が大きい場合は、入力電位 V_{in} が小さくなると、バイアス用トランジスタ402が線形領域で動作しやすくなる。その結果、ソースフォロワ回路の入出力関係が、非線形になりやすくなってしまう。この点から考えても、バイアス電位 V_b は、小さい方がよい。

【0022】これまでは、ソースフォロワ回路における定常状態での動作について述べてきた。次に、ソースフォロワ回路における過渡状態での動作について述べる。回路構成としては、図4の回路に、負荷が追加されたものとする。つまり、図8に示すように、出力端子、つまり、増幅用トランジスタ801のソース端子と、負荷容量用電源線806の間に、負荷容量805を接続したものを考える。よって、負荷容量805の電位は、ソースフォロワ回路の出力電位 V_{out} と同一である。

【0023】まず、初期状態において、出力電位 V_{out} が小さい場合、つまり、 $V_{out} < V_{in} - V_b$ の場合について考える。図8(A)に回路図、図8(B)にタイミングチャートを示す。その場合、増幅用トランジスタ801のゲート・ソース間電圧 V_{gs} は、バイアス用トランジスタ802のゲート・ソース間電圧 V_{gs} よりも大きい値である。よって、増幅用トランジスタ801には、大きな電流が流れる。そのため、負荷容量805は急速に充電され、出力電位 V_{out} は大きくなり、増幅用トランジスタ801のゲート・ソース間電圧 V_{gs} は小さくなっていく。そして遂に、増幅用トランジスタ801のゲート・ソース間電圧 V_{gs} がバイアス電位 V_b に等しくなると、定常状態になる。その時の出力電位 $V_{out} = V_{in} - V_{gs} = V_{in} - V_b$ である。このように $V_{out} < V_{in} - V_b$ の場合、過渡状態では、当初、増幅用トランジスタ801のゲート・ソース間電圧 V_{gs} が大きいので、増幅用トランジスタ801を通して、負荷容量805に大きな電流が流れる。そのため、負荷容量805への信号書き込み時間は、短くてすむ。

【0024】一方、初期状態において、出力電位 V_{out} が大きい場合、つまり、 $V_{out} > V_{in} - V_b$ の場合について考える。図9(A)に回路図、図9(B)にタイミングチャートを示す。その場合、増幅用トランジスタ901のゲート・ソース間電圧 V_{gs} は小さい値であるため、増幅用トランジスタ901は非導通状態にある。そして、負荷容量905に蓄積されていた電荷は、バイアス用トランジスタ902を流れて、放電される。その時、バイアス用トランジスタ902のゲート・ソース間電圧は、バイアス電位 V_b であるので、バイアス用トランジスタ902を流れる電流は I_b となる。そして、徐々に、出力電位 V_{out} が小さくなり、増幅用トランジスタ901のゲート・ソース間電圧 V_{gs} が大きくなる。そして遂に、増幅用トランジスタ901のゲート・ソース間電圧 V_{gs} が V_b に等しくなると、定常状態になる。定常状態では、 V_{out} は一定値であり、負荷容量905には電流は流れない。ソースフォロワ回路の2つのトラ

ンジスタには、電流 I_b が流れ続ける。

【0025】以上のことから、 $V_{out} > V_{in} - V_b$ の場合の負荷容量905の放電時間、つまり、信号書き込み時間は、バイアス用トランジスタ902を流れる電流 I_b によって決定されることが分かる。電流 I_b は、バイアス電位 V_b の大きさによって、決定される。従って、電流 I_b を大きくして、負荷容量905への信号書き込み時間を短くするためには、バイアス電位 V_b を大きくする必要がある。

【0026】次に、画素309での信号タイミングチャートを図10に示す。まず、リセット信号線305を制御することにより、リセット用トランジスタ307を導通状態にする。すると、フォトダイオード304のNチャネル側端子の電位は、電源線309の電位 V_{dd} にまで充電される。すなわち、画素がリセットされる。それから、リセット信号線305を制御することにより、リセット用トランジスタ307を非導通状態にする。その後、フォトダイオード304に光が照射されていると、光強度に応じた電荷が生成される。そのため、リセット動作により充電された電荷が、徐々に放電されていく。つまり、フォトダイオード304のNチャネル側端子の電位が下がってくる。暗い光が照射されている場合は、放電される量も少ないため、フォトダイオード304のNチャネル側端子の電位もあまり下がらない。そして、ある時点において、スイッチ用トランジスタ301を導通状態にして、フォトダイオード304のNチャネル側端子の電位を信号として読み出す。この信号は、光の強度に比例している。そして再び、リセット用トランジスタ307を導通状態にしてフォトダイオード304をリセットし、同様の動作を繰り返していく。

【0027】次に、画素309でのトランジスタについて述べる。極性については、全てNチャネル型であることが多い。まれに、リセット用トランジスタをPチャネル型にしている場合がある（JIEC 세미나：CMOSカメラの開発展望：平成10年2月20日：p9, 図11参照）。また、増幅用トランジスタと選択用トランジスタの並び方については、両トランジスタともNチャネル型を用いて、図3のように、電源線309と増幅用トランジスタ306を接続し、増幅用トランジスタ306とスイッチ用トランジスタ301を接続し、スイッチ用トランジスタ301と信号出力線303を接続していることが多い。まれに、両トランジスタともNチャネル型を用いて、電源線309とスイッチ用トランジスタ301を接続し、スイッチ用トランジスタ301と増幅用トランジスタ306を接続し、増幅用トランジスタ306と信号出力線303を接続している場合もある（ISSCC97：p180：A 1/4 Inch 330k Square Pixel Progressive Scan CMOS Active Pixel Image Sensor）。

【0028】次に、光電変換などを行うセンサ部について、述べる。通常は、PN型のフォトダイオードを用いて、光を電気に変換する。その他に、PIN型のダイオード、アバランシェ型ダイオード、npn埋め込み型ダイオード、ショットキー型ダイオードなどがある。その他に

は、X線用にフォトコンダクタや、赤外線用のセンサなどもある。これについては、固体撮像素子の基礎—電子の目のしくみ：安藤隆男、菰淵寛仁著：日本理工出版界、に述べられている。

【0029】次に、センサの適用製品について、述べる。通常のデジタルスチルカメラや、スキャナなどの他に、X線用カメラにも用いられている。その場合、X線を直接電気信号に変換するフォトコンダクタを用いる場合や、蛍光材やシンチレータにより、X線を光に変換した後、その光を読みとる場合などがある。Euro Display 99:p203:X-ray Detectors based on Amorphous Silicon Active Matrixでは、シンチレータにより、X線を光に変換した後、その光を読みとる場合について述べている。IEDM 98:p21:amorphous silicon tft x-ray image sensorsでは、アモルファスシリコンを用いて読みとっており、AM-LCD99:p45:real-time imaging flat panel x-ray detectorでは、フォトコンダクタを用いて読みとる場合について、報告されている。

【0030】

【発明が解決しようとする課題】まず、ソースフォロワ回路405に要求する項目について考える。最も必要なことは、出力電位 V_{out} の振幅として、出来るだけ大きな値、つまり、入力電位 V_{in} の振幅と同程度の値を得ることである。出力電位 V_{out} の振幅が大きければ、階調数の多い信号を得ることが出来る。その結果、イメージセンサからの読み取り画像の画質が向上する。また、入出力関係が線形であることも必要である。つまり、ソースフォロワ回路における入力電位 V_{in} と出力電位 V_{out} の関係が、線形で動作する範囲が広いことが重要である。つまり、入力電位 V_{in} が小さくなくても、 $V_{out} = V_{in} - V_b$ の関係を維持していること、要するに、バイアス用トランジスタ402が飽和領域で動作していることが重要である。その他に必要なのは、負荷容量への出力信号 V_{out} の書き込み時間が短いことである。信号書き込み時間が長いと、動作が遅くなってしまう。

【0031】そこで、上で述べたソースフォロワ回路への要求項目を満たすための方法について考えてみる。

【0032】まず、出力電位 V_{out} の振幅を大きくするためには、 $V_{out} = V_{in} - V_b$ なので、バイアス電位 V_b を小さくすれば良い。また、入出力関係が線形である動作領域を広くする場合にも、バイアス電位 V_b を小さくすれば良い。なぜなら、バイアス電位 V_b が小さい場合、出力電位 V_{out} が小さくなくても、バイアス用トランジスタ402が飽和領域で動作しやすいからである。しかしながら、バイアス電位 V_b が小さい場合、出力信号の書き込み時間が長くなってしまう。

【0033】つまり、出力電位の振幅と信号書き込み時間とは、トレードオフの関係にある。出力電位の振幅値を大きくしつつ、出力電位の書き込み時間を短くすることは、出来ない。また、出力電位の振幅値を大きくしつつ

つ、入出力関係が線形である動作領域を広くすることも、出来ない。

【0034】本願発明は、上記従来技術の問題点を解決することを目的とする。

【0035】

【課題を解決するための手段】本発明では、Nチャネル型トランジスタを用いたソースフォロワ回路においては、そこから信号を出力する前に、いったん、出力電位（負荷容量の電位）を低くする（Pチャネル型トランジスタを用いたソースフォロワ回路の場合は、出力電位を高くする）。以下では、ソースフォロワ回路の出力電位（負荷容量の電位）を、いったん低くすること（Pチャネル型トランジスタを用いた場合は、高くすること）をプリ放電と呼び、プリ放電のための期間をプリ放電期間と呼ぶことにする。本発明では、プリ放電の後、実際の信号を出力する。

【0036】従来は、Nチャネル型トランジスタを用いたソースフォロワ回路では、初期状態において $V_{out} > V_{in} - V_b$ の時、バイアス用トランジスタを通して、負荷容量の電荷を放電していた。しかしながら、本発明では、いったん、負荷容量の電位を低くして、 $V_{out} < V_{in} - V_b$ の状態にしておく。この動作がプリ放電である。その後、実際の信号を出力する。実際の信号を出力するときには、既に $V_{out} < V_{in} - V_b$ となっているので、増幅用トランジスタを通して、負荷容量に信号を出力する。そのため、信号書き込み時間が長くない。

【0037】実際の信号を出力するときのバイアス用トランジスタのゲート電位、つまり、バイアス電位 V_b には、出来るだけ低い電位値、つまり、バイアス用トランジスタのしきい値電圧よりもわずかに大きい電位を加えておく。なぜなら、ソースフォロワ回路の入出力関係 $V_{out} = V_{in} - V_b$ を考慮すると、出力電位 V_{out} を大きくするためには、バイアス電位 V_b は出来るだけ低くした方がよいからである。ただし、バイアス用トランジスタは、導通状態になっている必要がある。つまり、バイアス用トランジスタは、飽和領域で動作していることが必要がある。よって、実際の信号を出力するときのバイアス用トランジスタのゲート電位、つまり、バイアス電位 V_b は、バイアス用トランジスタのしきい値電圧よりも、僅かに大きい電位とする。現実的には、回路中の全てのバイアス用トランジスタの中で、最も大きいしきい値電圧の値よりも、僅かに大きい電位にする。

【0038】このようにバイアス電位 V_b を小さくして、そのため、バイアス用トランジスタの電流量が小さくなくても、バイアス用トランジスタを通して負荷容量の電荷を放電することはないため、信号書き込み時間が長くなってしまわない。また、バイアス電位 V_b が小さいため、入出力関係が線形である動作領域を広い。その結果、信号書き込み時間を長くなってしまわないことを防ぎつつ、出力電位の振幅を大きくすることと、入出力関係

が線形である動作領域を広くすることが、同時に実現出来る。以下に、本願発明の構成を示す。

【0039】本願発明は上記構成によって、増幅用トランジスタとバイアス用トランジスタと増幅側電源線とバイアス側電源線とバイアス信号線と放電用トランジスタと放電用電源線とを有する半導体装置であって、前記増幅用トランジスタのドレイン端子は前記増幅側電源線に接続されており、前記バイアス用トランジスタのソース端子は前記バイアス側電源線に接続されており、前記増幅用トランジスタのソース端子は前記バイアス用トランジスタのドレイン端子に接続されており、前記バイアス用トランジスタのゲート端子は前記バイアス信号線に接続されており、前記増幅用トランジスタのゲート端子が入力端子になっており、前記増幅用トランジスタのソース端子が出力端子になっており、前記出力端子と前記放電用電源線とは、一方は前記放電用トランジスタのソース端子に、一方は前記放電用トランジスタのドレイン端子に接続されていることを特徴とする半導体装置が提供される。

【0040】本願発明は上記構成によって、増幅用トランジスタとバイアス用トランジスタと増幅側電源線とバイアス側電源線とバイアス信号線とを有する半導体装置であって、前記増幅用トランジスタのドレイン端子は前記増幅側電源線に接続されており、前記バイアス用トランジスタのソース端子は前記バイアス側電源線に接続されており、前記増幅用トランジスタのソース端子は前記バイアス用トランジスタのドレイン端子に接続されており、前記バイアス用トランジスタのゲート端子は前記バイアス信号線に接続されており、前記増幅用トランジスタのゲート端子が入力端子になっており、前記増幅用トランジスタのソース端子が出力端子になっており、前記バイアス側電源線の電位を前記増幅側電源線の電位に近づけるように動作する信号発生装置が前記バイアス信号線に接続されていることを特徴とする半導体装置が提供される。

【0041】本願発明は上記構成によって、負荷容量の一方の端子が前記出力端子に接続されており、前記負荷容量のもう一方の端子が負荷容量用電源線に接続されていることを特徴とする半導体装置が提供される。

【0042】本願発明は上記構成によって、前記放電用電源線と前記バイアス側電源線が接続されていることを特徴とする半導体装置が提供される。

【0043】本願発明は上記構成によって、前記放電用電源線、前記負荷容量用電源線、または前記バイアス側電源線の少なくとも2本が接続されていることを特徴とする半導体装置が提供される。

【0044】本願発明は上記構成によって、前記負荷容量用電源線が前記増幅側電源線に接続されていることを特徴とする半導体装置が提供される。

【0045】本願発明は上記構成によって、前記増幅側

電源線、あるいは前記バイアス側電源線から、前記負荷容量、あるいは前記出力端子へ流れる電流を制御する選択スイッチを少なくとも1つ有することを特徴とする半導体装置が提供される。

【0046】本願発明は上記構成によって、前記増幅側電源線、あるいは前記バイアス側電源線から、前記出力端子へ流れる電流を制御する選択スイッチを少なくとも1つ有することを特徴とする半導体装置が提供される。

【0047】本願発明は上記構成によって、前記選択スイッチが、Nチャネル型トランジスタまたはPチャネル型トランジスタの少なくとも1つを有することを特徴とする半導体装置が提供される。

【0048】本願発明は上記構成によって、前記バイアス用トランジスタのゲート・ソース間電圧の絶対値が、前記バイアス用トランジスタを導通状態にするために必要なゲート・ソース間電圧の絶対値の最小値に等しいことを特徴とする半導体装置が提供される。

【0049】本願発明は上記構成によって、前記入力端子に光電変換素子が接続されていることを特徴とする半導体装置が提供される。

【0050】本願発明は上記構成によって、前記入力端子に光電変換素子で生成された信号が入力することを特徴とする半導体装置が提供される。

【0051】本願発明は上記構成によって、前記光電変換素子が、X線センサまたは赤外線センサであることを特徴とする半導体装置が提供される。

【0052】本願発明は上記構成によって、前記光電変換素子が、フォトダイオード、ショットキーダイオード、アバランシェダイオード、またはフォトコンダクタのいずれか1つであることを特徴とする半導体装置が提供される。

【0053】本願発明は上記構成によって、前記フォトダイオードが、PN型、PIN型、またはNPN埋め込み型のいずれか1つであることを特徴とする半導体装置が提供される。

【0054】本願発明は上記構成によって、リセット用トランジスタを有しており、前記リセット用トランジスタのソース端子もしくはドレイン端子が前記光電変換素子と接続されていることを特徴とする半導体装置が提供される。

【0055】本願発明は上記構成によって、前記バイアス用トランジスタを複数有する場合、前記複数のバイアス用トランジスタのゲート・ソース間電圧の絶対値が、前記複数のバイアス用トランジスタの全てを導通状態にするために必要なゲート・ソース間電圧の絶対値の最小値に等しいことを特徴とする半導体装置が提供される。

【0056】本願発明は上記構成によって、前記増幅用トランジスタと前記バイアス用トランジスタと前記放電用トランジスタが同じ極性のトランジスタであることを特徴とする半導体装置が提供される。

【0057】本願発明は上記構成によって、増幅用トランジスタとバイアス用トランジスタと増幅側電源線とバイアス側電源線とバイアス信号線とを有し、前記増幅用トランジスタのドレイン端子は前記増幅側電源線に接続されており、前記バイアス用トランジスタのソース端子は前記バイアス側電源線に接続されており、前記増幅用トランジスタのソース端子は前記バイアス用トランジスタのドレイン端子に接続されており、前記バイアス用トランジスタのゲート端子は前記バイアス信号線に接続されており、前記増幅用トランジスタのゲート端子が入力端子になっており、前記増幅用トランジスタのソース端子が出力端子になっている半導体装置の駆動方法において、プリ放電を行った後、信号を出力することを特徴とする半導体装置の駆動方法が提供される。

【0058】本願発明は上記構成によって、増幅用トランジスタとバイアス用トランジスタと増幅側電源線とバイアス側電源線とバイアス信号線とを有し、前記増幅用トランジスタのドレイン端子は前記増幅側電源線に接続されており、前記バイアス用トランジスタのソース端子は前記バイアス側電源線に接続されており、前記増幅用トランジスタのソース端子は前記バイアス用トランジスタのドレイン端子に接続されており、前記バイアス用トランジスタのゲート端子は前記バイアス信号線に接続されており、前記増幅用トランジスタのゲート端子が入力端子になっており、前記増幅用トランジスタのソース端子が出力端子になっている半導体装置の駆動方法において、前記バイアス側電源線の電位を前記増幅側電源線の電位に近づけることによりプリ放電を行った後、信号を出力することを特徴とする半導体装置の駆動方法が提供される。

【0059】本願発明は上記構成によって、増幅用トランジスタとバイアス用トランジスタと増幅側電源線とバイアス側電源線とバイアス信号線と放電用トランジスタと放電用電源線とを有し、前記増幅用トランジスタのドレイン端子は前記増幅側電源線に接続されており、前記バイアス用トランジスタのソース端子は前記バイアス側電源線に接続されており、前記増幅用トランジスタのソース端子は前記バイアス用トランジスタのドレイン端子に接続されており、前記バイアス用トランジスタのゲート端子は前記バイアス信号線に接続されており、前記増幅用トランジスタのゲート端子が入力端子になっており、前記増幅用トランジスタのソース端子が出力端子になっており、前記出力端子と前記放電用電源線とは、一方は前記放電用トランジスタのソース端子に、一方は前記放電用トランジスタのドレイン端子に接続されている半導体装置の駆動方法において、前記放電用トランジスタを導通状態にすることによりプリ放電を行った後、信号を出力することを特徴とする半導体装置の駆動方法が提供される。

【0060】本願発明は上記構成によって、前記放電用

電源線の電位が前記バイアス信号線の電位と前記バイアス側電源線の電位の間の値を取ることを特徴とする半導体装置の駆動方法が提供される。

【0061】本願発明は上記構成によって、負荷容量の一方の端子が前記出力端子に接続されており、前記負荷容量のもう一方の端子が負荷容量用電源線に接続されていることを特徴とする半導体装置の駆動方法が提供される。

【0062】本願発明は上記構成によって、前記放電用電源線と前記バイアス側電源線を接続することを特徴とする半導体装置の駆動方法が提供される。

【0063】本願発明は上記構成によって、前記放電用電源線、前記負荷容量用電源線、または前記バイアス側電源線の少なくとも2本を接続することを特徴とする半導体装置の駆動方法が提供される。

【0064】本願発明は上記構成によって、前記負荷容量用電源線が前記増幅側電源線に接続されていることを特徴とする半導体装置の駆動方法が提供される。

【0065】本願発明は上記構成によって、前記増幅側電源線、あるいは前記バイアス側電源線から、前記負荷容量、あるいは前記出力端子へ流れる電流を制御する選択スイッチを少なくとも1つ有することを特徴とする半導体装置の駆動方法が提供される。

【0066】本願発明は上記構成によって、前記増幅側電源線、あるいは前記バイアス側電源線から、前記出力端子へ流れる電流を制御する選択スイッチを少なくとも1つ有することを特徴とする半導体装置の駆動方法が提供される。

【0067】本願発明は上記構成によって、前記選択スイッチが、Nチャネル型トランジスタまたはPチャネル型トランジスタの少なくとも1つを有することを特徴とする半導体装置の駆動方法が提供される。

【0068】本願発明は上記構成によって、前記バイアス用トランジスタのゲート・ソース間電圧の絶対値が、前記バイアス用トランジスタを導通状態にするために必要なゲート・ソース間電圧の絶対値の最小値に等しいことを特徴とする半導体装置の駆動方法が提供される。

【0069】本願発明は上記構成によって、前記入力端子に光電変換素子が接続されていることを特徴とする半導体装置の駆動方法が提供される。

【0070】本願発明は上記構成によって、前記入力端子に光電変換素子で生成された信号が入力することを特徴とする半導体装置の駆動方法が提供される。

【0071】本願発明は上記構成によって、前記光電変換素子が、X線センサまたは赤外線センサであることを特徴とする半導体装置の駆動方法が提供される。

【0072】本願発明は上記構成によって、前記光電変換素子が、フォトダイオード、ショットキーダイオード、アバランシェダイオード、またはフォトコンダクタのいずれか1つであることを特徴とする半導体装置の駆

動方法が提供される。

【0073】本願発明は上記構成によって、前記フォトダイオードが、PN型、PIN型、またはNPN埋め込み型のいずれか1つであることを特徴とする半導体装置の駆動方法が提供される。

【0074】本願発明は上記構成によって、リセット用トランジスタを有しており、前記リセット用トランジスタが前記光電変換素子をリセットすることを特徴とする半導体装置の駆動方法が提供される。

【0075】本願発明は上記構成によって、前記バイアス用トランジスタを複数有する場合、前記複数のバイアス用トランジスタのゲート・ソース間電圧の絶対値が、前記複数のバイアス用トランジスタの全てを導通状態にするために必要なゲート・ソース間電圧の絶対値の最小値に等しいことを特徴とする半導体装置の駆動方法が提供される。

【0076】本願発明は上記構成によって、前記増幅用トランジスタと前記バイアス用トランジスタと前記放電用トランジスタが同じ極性のトランジスタであることを特徴とする半導体装置の駆動方法が提供される。

【0077】

【発明の実施の形態】[実施の形態1]以下に、本願発明の代表的な実施の形態を示す。図11では、プリ放電実施方法の一例を示す。図11(A)に回路図、図11(B)に信号タイミングチャートを示す。図11では、専用の放電用トランジスタ1108を配置することにより、プリ放電を行っている。図11では、Nチャネル型トランジスタを用いて、ソースフォロワ回路を構成した場合の例を示す。

【0078】増幅用トランジスタ1101のゲート端子(入力端子1105)の電位が、入力電位 V_{in} になり、これは、フォトダイオードのNチャネル側端子の電位に対応する。増幅用トランジスタ1101のドレイン端子は増幅側電源線1103と接続され、ソース端子は、バイアス用トランジスタ1102のドレイン端子に接続されている。増幅用トランジスタ1101のソース端子は、出力端子1107であり、その電位が出力電位 V_{out} となる。バイアス用トランジスタ1102のゲート端子には、バイアス電位 V_b が加えられている。バイアス用トランジスタ1102のソース端子は、バイアス側電源線1104に接続されている。放電用トランジスタ1108のソース端子とドレイン端子は、ソースフォロワ回路の出力端子1107(増幅用トランジスタ1101のソース端子)と放電用電源線1109に接続されている。

【0079】図11(B)に示すように、放電用トランジスタ1108が導通状態になると、出力端子1107の電位が放電用電源線1109の電位になり、プリ放電が実行される。プリ放電期間中では、放電用トランジスタ1108のゲート電位が大きいので、放電用トランジスタ1108には、大きな電流を流すことが出来る。その結果、出力電位 V_{out} を、急速に低くすることができ、プリ放電期間は、短くて済む。この方法の場合、バイアス電位 V_b は、従来と同様の

ままで構わないし、あるいは、プリ放電期間中は、大きくしても構わない。

【0080】プリ放電の後、実際の信号が出力される。その場合、 $V_{out} < V_{in} - V_b$ の状態にあるため、増幅用トランジスタ1101には、そのゲート・ソース間電圧が大きいため、大電流が流れる。その結果、信号書き込み時間は、短くてすむ。

【0081】出力電位 V_{out} を出力するときのバイアス電位 V_b は、入出力関係 $V_{out} = V_{in} - V_b$ を考慮すると、出力電位 V_{out} を大きくするために、出来るだけ低くした方がよい。ただし、バイアス用トランジスタ1202が導通状態になっていなければならない。つまり、バイアス用トランジスタ1202が飽和領域で動作可能で、定電流が流れ得る値である必要がある。よって、プリ放電期間以外でのバイアス信号電位（バイアス用トランジスタのゲート・ソース間電圧）の絶対値の最適値は、バイアス用トランジスタ1202のしきい値電圧の絶対値よりも、僅かに大きい電位である。

【0082】また、バイアス電位 V_b が低いと、バイアス用トランジスタ1102が飽和領域で動作しやすいため、入出力関係が線形である動作領域を広くすることが出来る。

【0083】以上の結果、信号書き込み時間を長くなってしまうことを防ぎつつ、出力電位の振幅を大きくすることと、入出力関係が線形である動作領域を広くすることが、同時に実現出来る。

【0084】放電用トランジスタ1108の極性については、増幅用トランジスタ1101、バイアス用トランジスタ1102と同様な極性、つまり、図11では、Nチャネル型がよい。なぜなら、放電用電源線1109は、低い電位であるので、放電用トランジスタ1108を導通状態にすると、Nチャネル型であれば、ゲート・ソース間電圧を大きくとれる。もし、放電用トランジスタ1108が、増幅用トランジスタ1101、バイアス用トランジスタ1102と異なる極性、つまり、図11では、Pチャネル型の場合、放電用トランジスタ1108のゲート端子には、非常に低い電位、つまり、バイアス側電源線1104よりも低い電位を加える必要がある。以上のことから、放電用トランジスタ1108の極性は、増幅用トランジスタ1101、バイアス用トランジスタ1102と同様な極性にすることが望ましい。

【0085】なお、図11において、複数の放電用トランジスタ1108Nを用いてもよいし、その場合、両方の極性のトランジスタを用いてもよい。

【0086】次に、放電用電源線1109の電位について述べる。プリ放電は、 $V_{out} < V_{in} - V_b$ の状態にすることである。よって、放電用電源線1109の電位は、低い電位にしておく必要がある。バイアス側電源線1104よりも低くしてもよいが、出力端子1107の電位動作範囲は、増幅側電源線1103の電位とバイアス側電源線1104の電位の間である。よって、放電用電源線1109の電位は、バイアス側電

源線1104の電位より低くしても、改善効果はない。放電用電源線1109の電位が、バイアス側電源線1104の電位よりも高い場合については、バイアス信号線1106の電位よりも高くすると、 $V_{out} < V_{in} - V_b$ の状態に出来なくなる可能性がある。以上のことから、放電用電源線1109の電位は、バイアス側電源線1104の電位以上、バイアス信号線1106の電位以下にする必要がある。通常は、バイアス側電源線1104と同じ電位にしておけばよい。よって、放電用電源線1109と、バイアス側電源線1104とを接続してもよい。

【0087】実際に、図11の回路を用いる場合は、出力端子1107に、負荷容量を接続し、そこに信号を蓄積することが多い。図11に示した回路に、負荷容量が接続された場合の回路図を、図1に示す。負荷容量110の一方の端子は、出力端子107に接続され、もう一方の端子は、負荷容量用電源線111に接続されている。負荷容量用電源線111の電位値は、任意の値でよい。通常は、バイアス側電源線104と同じ値にしておくことが多い。よって、負荷容量用電源線111と、バイアス側電源線104とを接続してもよい。負荷容量用電源線111と、増幅側電源線103とを接続してもよい。以上のことから、負荷容量用電源線111と、バイアス側電源線104と、放電用電源線109とにおいて、いずれか2本以上を相互に接続してもよい。3本を接続した場合の回路図とタイミングチャートを、図12(A)(B)に示す。

【0088】また、これまでは、Nチャネル型トランジスタを用いて、ソースフォロワ回路を構成した場合について、述べてきた。しかしながら、Pチャネル型を用いて、ソースフォロワ回路を構成することも可能である。よって、次に、Pチャネル型を用いた場合の図を示す。図11について、Pチャネル型を用いた場合を図13に示す。図1について、Pチャネル型を用いた場合を図14に示す。図12について、Pチャネル型を用いた場合を図15に示す。Nチャネル型トランジスタを用いて、ソースフォロワ回路を構成した場合、増幅側電源線1103の電位は、バイアス側電源線1104の電位よりも高い。しかし、Pチャネル型トランジスタを用いて、ソースフォロワ回路を構成した場合、増幅側電源線1303の電位は、バイアス側電源線1304の電位よりも低い。

【0089】複数のソースフォロワ回路を配置し、出力端子を相互に接続して配置する場合がある。その時は、1つのソースフォロワ回路からのみ、信号が出力される必要がある。そのため、電流の流れをせき止めるため、スイッチが配置されることがある。図1の回路において、出力端子1607と負荷容量1610の間に、転送用トランジスタ1612を配置した場合の回路図とタイミングチャートを、図16(A)(B)に示す。図16の回路において、出力端子1707と増幅用トランジスタ1701の間に、スイッチ用トランジスタ1713を配置した場合の回路図とタイミングチャートを、図17に示す。図16、あるいは、図17におい

て、増幅用トランジスタ、およびバイアス用トランジスタ、および選択スイッチの少なくとも1個の素子を用いて、単位画素を構成することがある。

【0090】なお、電流の流れをせき止めるため、スイッチは、Nチャネル型でも、Pチャネル型でも、どちらでもよい。また、複数のスイッチを用いても良い。接続方法も、直列でも並列でもよい。

【0091】[実施の形態2]次に、実施の形態1とは異なる方法でプリ放電を行う場合の実施の形態を図18に示す。図18(A)に回路図、図18(B)に信号タイミングチャートを示す。図18では、バイアス電位Vbを大きくすることにより、プリ放電を行っている。図18では、Nチャネル型トランジスタを用いて、ソースフォロワ回路を構成した場合の例を示す。

【0092】増幅用トランジスタ1801のゲート端子の電位が、入力電位Vinになり、これは、フォトダイオードのNチャネル側端子の電位に対応する。増幅用トランジスタ1801のドレイン端子は増幅側電源線1803と接続され、ソース端子は、バイアス用トランジスタ1802のドレイン端子に接続されている。増幅用トランジスタ1801のソース端子は、出力端子1807であり、その電位が出力電位Voutとなる。バイアス用トランジスタ1802のゲート端子には、バイアス電位Vbが加えられている。バイアス用トランジスタ1802のソース端子は、バイアス側電源線1804に接続されている。

【0093】プリ放電期間中では、バイアス電位Vbを大きくする。その結果、出力端子1807の電位がバイアス側電源線1804の電位になり、プリ放電が実行される。プリ放電期間中では、バイアス用トランジスタ1802のゲート電位、つまり、バイアス電位Vbが大きいため、バイアス用トランジスタ1802には、大きな電流を流すことができる。その結果、出力電位Voutを、急速に低くすることができ、プリ放電期間は、短くてすむ。

【0094】プリ放電の後、実際の信号が出力される。その場合、 $V_{out} < V_{in} - V_b$ の状態にあるため、増幅用トランジスタ1801には、そのゲート・ソース間電位が大きいため、大電流が流れる。その結果、信号書き込み時間は、短くてすむ。

【0095】実際の出力電位Voutを出力するときのバイアス電位Vbは、入出力関係 $V_{out} = V_{in} - V_b$ を考慮すると、出力電位Voutを大きくするために、出来るだけ低くした方がよい。ただし、バイアス用トランジスタ1802が導通状態になっていなければならない。つまり、バイアス用トランジスタ1802が飽和領域で動作可能で、定電流が流れ得る値である必要がある。よって、プリ放電期間以外でのバイアス信号電位（バイアス用トランジスタのゲート・ソース間電圧）の絶対値の最適値は、バイアス用トランジスタ1802のしきい値電圧の絶対値よりも、僅かに大きい電位である。

【0096】また、バイアス電位Vbが低いと、バイアス

用トランジスタ1802が飽和領域で動作しやすいため、入出力関係が線形である動作領域を広くすることが出来る。

【0097】以上の結果、信号書き込み時間を長くなってしまふことを防ぎつつ、出力電位の振幅を大きくすることと、入出力関係が線形である動作領域を広くすることが、同時に実現出来る。

【0098】プリ放電時のバイアス電位Vbの電位値については、放電を行うため、なるべく高い方がよい。よって、回路の中で最も高い電位、例えば、増幅用電源線1803にまで大きくするのが適切である。

【0099】従来技術では、バイアス信号線1806には、定電位が加えられていた。本実施の形態では、プリ放電時には、バイアス電位Vbが変化する。そのため、バイアス信号線1806には、バイアス電位Vbを変化させるため、信号発生装置が接続されている。

【0100】また、これまでは、Nチャネル型トランジスタを用いて、ソースフォロワ回路を構成した場合について、述べてきた。しかしながら、Pチャネル型を用いて、ソースフォロワ回路を構成することも可能である。よって、Pチャネル型を用いた場合の図を図19に示す。実施形態1と同様に、Nチャネル型トランジスタを用いて、ソースフォロワ回路を構成した場合と、Pチャネル型トランジスタを用いて構成した場合とは、増幅側電源線の電位とバイアス側電源線の電位との大小関係が異なる。

【0101】なお、本実施形態においても、実施形態1と同様に、負荷容量や選択スイッチを配置することは、可能である。

【0102】

【実施例】[実施例1]次に、周辺に駆動回路を搭載し、画素を2次元に配置したエリアセンサに、放電用トランジスタを用いてプリ放電を行う場合の実施例について述べる。全体の回路図を図20に示す。まず、画素が2次元に配列された画素配列部2005がある。そして、各々の画素のゲート信号線やリセット信号線を駆動するための駆動回路が、画素配列部2005の左右に配置されている。図20では、ゲート信号線用駆動回路2006が左側に、リセット信号線用駆動回路2007が右側に配置されている。そして、画素配列部2005の上側には、信号処理用の回路などが配置されている。図20では、画素配列部2005の上に、バイアス用回路2003が配置されている。このバイアス用回路2003は、各画素の増幅用トランジスタと対になって、ソースフォロワ回路を形成する。バイアス用回路2003の上には、サンプルホールド&信号処理用回路2002が配置されている。ここでは、信号をいったん保存しておいたり、アナログ・デジタル変換を行ったり、雑音を低減したりするための回路などが配置されている。サンプルホールド&信号処理用回路2002の上には、信号出力線用駆動回路2001が配置されている。信号出力線用駆動回

路2001は、一時的に保存されていた信号を、順に出力していくための信号を出力している。そして、外に信号を出す前に、最終出力増幅用回路2004が配置されている。ここでは、サンプルホールド&信号処理用回路2002と信号出力線用駆動回路2001とにより、順に出力されてくる信号を、外に出す前に、増幅している。よって、信号を増幅しない場合は必要ないが、現実的には、配置されることが多い。

【0103】次に、各部分の回路図を示す。まず、2次元に配列されている画素配列部2005の中から、例として、i行j列目画素部回路2008の回路図を、図21に示す。図21では、Pチャネル型リセット用トランジスタ2107、Pチャネル型スイッチ用トランジスタ2101、Nチャネル型増幅用トランジスタ2106、光電変換素子（ここでは、最も代表的なフォトダイオード2104）から構成されている。フォトダイオード2104では、Pチャネル側端子は電源基準線2112に、Nチャネル側端子は、増幅用トランジスタ2106のゲート端子に接続されている。リセット用トランジスタ2107のゲート端子には、i行目リセット信号線2105が接続され、ソース端子とドレイン端子は、j列目電源線2109と増幅用トランジスタ2106のゲート端子に接続されている。スイッチ用トランジスタ2101のゲート端子は、i行目ゲート信号線2102に接続され、ソース端子とドレイン端子は、j列目電源線2109と増幅用トランジスタ2106に接続されている。増幅用トランジスタ2106のソース端子とドレイン端子は、j列目信号出力線2103とスイッチ用トランジスタ2101に接続されている。i行目ゲート信号線2102とi行目リセット信号線2105は、従来通り、横方向に配線が伸びている。

【0104】ソースフォロワ回路での配線と対応させると、j列目電源線2109が増幅側電源線1103に対応し、電源基準線2112がバイアス側電源線1104に対応し、出力端子1107が、j列目信号出力線2103に対応する。

【0105】図21では、リセット用トランジスタ2107は、Pチャネル型を用いている。しかし、リセット用トランジスタは、Nチャネル型でもよい。ただし、Nチャネル型の場合、リセット動作のとき、ゲート・ソース間電圧が大きくとれない。よって、リセット用トランジスタが飽和領域で動作することになり、フォトダイオード2104を十分に充電できない。したがって、リセット用トランジスタは、Nチャネル型でも動作するが、Pチャネル型の方が望ましい。

【0106】スイッチ用トランジスタ2101については、i行目電源線2109と増幅用トランジスタ2106の間に配置し、かつ、Pチャネル型を用いるのが望ましい。しかし、従来と同様、Nチャネル型でも動作するため、Nチャネル型でも構わないし、j列目信号出力線2103と増幅用トランジスタ2106の間に配置しても構わない。ただし、正しく信号を出力しにくいいため、スイッチ用トランジスタ2101は、i行目電源線2109と増幅用トランジスタ2106

の間に配置し、かつ、Pチャネル型を用いるのが望ましい。

【0107】増幅用トランジスタ2106については、図21では、Nチャネル型を用いている。しかし、Pチャネル型を用いることも可能である。ただしその場合、バイアス用トランジスタと組み合わせてソースフォロワ回路として動作させるためには、回路の接続方法を変える必要がある。つまり、単純に、図21の回路図において、増幅用トランジスタ2106の極性を変えるだけでは、動作しない。

【0108】そこで、Pチャネル型の増幅用トランジスタを用いた時の回路構成の一例を図22に示す。図21との違いは、増幅用トランジスタ2206の極性がPチャネル型であることと、電源線と電源基準線とが入れ替わっていることである。増幅用トランジスタにPチャネル型を用いる場合は、バイアス用トランジスタもPチャネル型を用いる必要がある。なぜなら、バイアス用トランジスタは、定電流源として動作させる必要があるからである。よって、図22では、参考のため、バイアス用トランジスタ2211も記述している。図22に示すi行j列画素部回路2008は、Nチャネル型リセット用トランジスタ2207、Nチャネル型スイッチ用トランジスタ2201、Pチャネル型増幅用トランジスタ2206、光電変換素子（ここでは、最も代表的なフォトダイオード2204）から構成されている。フォトダイオード2204は、Nチャネル側端子は電源線2209に、Pチャネル側端子は、増幅用トランジスタ2206のゲート端子に接続されている。リセット用トランジスタ2207のゲート端子には、i行目リセット信号線2205が接続され、ソース端子とドレイン端子は、j列目電源基準線2212と増幅用トランジスタ2206のゲート端子に接続されている。スイッチ用トランジスタ2201のゲート端子は、i行目ゲート信号線2202に接続され、ソース端子とドレイン端子は、j列目電源基準線2212と増幅用トランジスタ2206に接続されている。増幅用トランジスタ2206のソース端子とドレイン端子は、j列目信号出力線2203とスイッチ用トランジスタ2201に接続されている。バイアス用トランジスタ2211のゲート端子には、バイアス信号線2210が接続され、ソース端子とドレイン端子は、j列目信号出力線2203と電源線2209に接続されている。

【0109】ソースフォロワ回路での配線と対応させると、j列目電源基準線2212が増幅側電源線1803に対応し、電源線2209がバイアス側電源線1804に対応し、出力端子1807が、j列目信号出力線2203に対応する。

【0110】図22では、リセット用トランジスタ2207は、Nチャネル型を用いている。しかし、リセット用トランジスタは、Pチャネル型でもよい。ただし、Pチャネル型の場合、リセット動作のとき、ゲート・ソース間電圧が大きくとれない。よって、リセット用トランジスタが飽和領域で動作することになり、フォトダイオード22

04を十分に充電できない。したがって、リセット用トランジスタは、Pチャネル型でも動作するが、Nチャネル型の方が望ましい。

【0111】図22では、スイッチ用トランジスタ2201については、j列目電源基準線2212と増幅用トランジスタ2206の間に配置し、かつ、Nチャネル型を用いるのが望ましい。しかし、Pチャネル型でも動作するため、Pチャネル型でも構わないし、j列目信号出力線2203と増幅用トランジスタ2206の間に配置しても構わない。ただし、正しく信号を出力しにくいいため、スイッチ用トランジスタ2201は、j列目電源基準線2209と増幅用トランジスタ2206の間に配置し、かつ、Nチャネル型を用いるのが望ましい。

【0112】このように、図21と図22を比較すると分かるように、増幅用トランジスタの極性が異なると、最適なトランジスタの構成も異なってくる。

【0113】次に、バイアス用回路2003とサンプルホールド&信号処理用回路2002の中から、1列分の回路として、j列目周辺部回路2009の回路図を、図23に示す。バイアス用回路2003には、バイアス用トランジスタ2311が配置されている。その極性は、各画素の増幅用トランジスタの極性と同じものである。よって、画素の増幅用トランジスタがNチャネル型の場合は、バイアス用トランジスタもNチャネル型になる。図23では、バイアス用バイアス用トランジスタ2311は、Nチャネル型である。バイアス用トランジスタ2311のゲート端子には、バイアス信号線2310が接続され、ソース端子とドレイン端子は、j列目信号出力線2303と電源基準線2312に接続されている（バイアス用トランジスタがPチャネル型の場合は、電源基準線の代わりに、電源線を用いる）。バイアス用トランジスタは2311は、各画素の増幅用トランジスタと対になって、ソースフォロワ回路として動作する。転送用トランジスタ2313のゲート端子には、転送信号線2314が接続され、ソース端子とドレイン端子は、j列目信号出力線2303と負荷容量2315に接続されている。転送用トランジスタは、信号出力線2303の電位を負荷容量2315に転送するときに、動作させる。よって、Pチャネル型の転送用トランジスタを追加して、Nチャネル型転送用トランジスタ2314と並列に接続してもよい。負荷容量2315は、転送用トランジスタ2313と電源基準線2312に接続されている。負荷容量2315の役割は、信号出力線2303から出力される信号を一時的に蓄積することである。放電用トランジスタ2316のゲート端子は、プリ放電信号線2317に接続され、ソース端子とドレイン端子は、負荷容量2315と電源基準線2312に接続されている。放電用トランジスタ2316は、信号出力線2303の電位を負荷容量2315に入力する前に、いったん、負荷容量2315にたまっている電荷を放電するように動作する。

【0114】なお、アナログ・デジタル信号変換回路や雑音低減回路などを配置することも可能である。

【0115】そして、負荷容量2315と最終出力線2320の間に、最終選択用トランジスタ2319が接続される。最終選択用トランジスタ2319のソース端子とドレイン端子は、負荷容量2315と最終出力線2320に接続され、ゲート端子は、j列目最終選択線2318に接続される。最終選択線は、1列目から順にスキャンされる。そして、j列目最終選択線2318が選択され、最終選択用トランジスタ2319が導通状態になると、負荷容量2315の電位と最終出力線2320の電位が等しくなる。その結果、負荷容量2315に蓄積していた信号を最終出力線2320に出力することが出来る。ただし、最終出力線2320に信号を出力する前に、最終出力線2320に電荷が蓄積されていると、その電荷により、最終出力線2320に信号を出力したときの電位が影響を受けてしまう。そこで、最終出力線2320に信号を出力するまえに、最終出力線2320の電位を、ある電位値に初期化しなければならない。図23では、最終出力線2320と電源基準線2312の間に、最終リセット用トランジスタ2322を配置している。そして、最終リセット用トランジスタ2322のゲート端子には、j列目最終リセット線2321が接続されている。そして、j列目最終選択線2318を選択する前に、j列目最終リセット線2321を選択し、最終出力線2320の電位を電源基準線2312の電位に初期化する。その後、j列目最終選択線2318を選択し、最終出力線2320に、負荷容量2315に蓄積していた信号を出力する。

【0116】最終出力線2320に出力される信号は、そのまま外に取り出しても良い。しかしながら、信号が微弱であるため、外に取り出す前に、信号を増幅しておく場合が多い。そのための回路として、図24に、最終部回路2010の回路を示す。信号を増幅する回路としては、演算増幅器など、様々なものがある。信号を増幅する回路であれば、どのような回路でもよいが、ここでは、最も簡単な回路構成として、ソースフォロワ回路を示す。図24では、Nチャネル型の場合を示す。最終出力増幅用回路2004への入力は、最終出力線2402となる。最終出力線2402には、1列目から順に、信号が出力される。その信号を、最終出力増幅用回路2004によって、増幅し、外に出力する。最終出力線2402は、最終出力増幅向け増幅用トランジスタ2404のゲート端子に接続される。最終出力増幅向け増幅用トランジスタ2404のドレイン端子は、電源線2406に接続され、ソース端子は、出力端子となる。最終出力増幅向けバイアス用トランジスタ2403のゲート端子は、最終出力増幅用バイアス信号線2405と接続される。ソース端子とドレイン端子は、電源基準線2407と最終出力増幅向け増幅用トランジスタ2404のソース端子とに接続される。

【0117】図25に、Pチャネル型の場合のソースフォロワ回路を用いた場合の回路図を示す。図24との違いは、電源線と電源基準線を逆にしていることである。最終出力線2502は、最終出力増幅向け増幅用トランジスタ

2504のゲート端子に接続される。最終出力増幅向け増幅用トランジスタ2504のドレイン端子は、電源基準線2507に接続され、ソース端子は、出力端子となる。最終出力増幅向けバイアス用トランジスタ2503のゲート端子は、最終出力増幅用バイアス信号線2505と接続される。ソース端子とドレイン端子は、電源線2506と最終出力増幅向け増幅用トランジスタ2504のソース端子とに接続される。最終出力増幅用バイアス信号線2505の電位は、Nチャネル型を用いた場合の最終出力増幅用バイアス信号線2405とは、値が異なる。

【0118】図24と図25では、ソースフォロウ回路を1段のみで構成していた。しかしながら、複数段で構成しても良い。例えば、2段で構成する場合は、1段目の出力端子を2段目の入力端子に接続すればよい。また、各々の段において、Nチャネル型を用いても、Pチャネル型を用いても、どちらでも良い。

【0119】ゲート信号線リセット信号線用駆動回路2006や電源線用駆動回路2007や信号出力線用駆動回路A201は、単に、パルス信号を出力しているだけの回路である。よって、公知の技術を用いて実施出来る。

【0120】次に、信号のタイミングチャートについて述べる。まず、図20の回路におけるタイミングチャートについて、図26に示す。リセット信号線は、1行目から順にスキャンしていく。例えば、(i-1)行目を選択し、その次に、i行目を選択し、次に、(i+1)行目を選択していく。再び同じ行を選択するまでの期間がフレーム期間に相当する。ゲート信号線も、同様に、1行目から順にスキャンしていく。ただし、リセット信号線をスキャンし始めるタイミングよりも、ゲート信号線をスキャンし始めるタイミングの方が遅い。例えば、i行目の画素に着目すると、i行目リセット信号線が選択されて、その後、i行目ゲート信号線が選択される。i行目ゲート信号線が選択されると、i行目の画素から信号が出力される。画素がリセットされてから、信号を出力する時までの期間が、蓄積時間になる。蓄積時間の間、フォトダイオードにおいて、光によって生成される電荷を蓄積している。各行で、リセットされるタイミングと信号を出力するタイミングは、異なる。よって、蓄積時間は全行の画素で等しいが、蓄積している時刻は異なる。

【0121】次に、図23における信号のタイミングチャートを図27に示す。繰り返しの動作になるため、例として、i行目のゲート信号線が選択されている時を考える。まず、i行目のゲート信号線2102が選択された後、プリ放電信号線2317を選択し、放電用トランジスタ2316を導通状態にする。その後、転送信号線2314を選択する。すると、i行目の画素から、各列の信号が各列の負荷容量2315に出力される。

【0122】i行目の全ての画素の信号を、各列の負荷容量2315に蓄積した後、最終出力線2320に各列の信号を順に出力していく。転送信号線2314が非選択になってか

ら、ゲート信号線が選択されているまでの間、信号出力線用駆動回路2001により、全列をスキャンしていく。まず、1列目の最終リセット線を選択し、最終リセット用トランジスタ2322を導通状態にし、最終出力線2320を電源基準線2312の電位に初期化する。その後、1列目の最終選択線2318を選択し、最終選択用トランジスタ2319を導通状態にし、1列目の負荷容量2315の信号を最終出力線2320に出力する。つぎに、2列目の最終リセット線を選択し、最終リセット用トランジスタ2322を導通状態にし、最終出力線2320を電源基準線2312の電位に初期化する。その後、2列目の最終選択線2318を選択し、最終選択用トランジスタ2319を導通状態にし、2列目の負荷容量2315の信号を最終出力線2320に出力する。その後も、同様の動作を繰り返していく。j列目の場合も、j列目の最終リセット線を選択し、最終リセット用トランジスタ2322を導通状態にし、最終出力線2320を電源基準線2312の電位に初期化する。その後、j列目の最終選択線2318を選択し、最終選択用トランジスタ2319を導通状態にし、j列目の負荷容量2315の信号を最終出力線2320に出力する。つぎに、(j+1)列目の最終リセット線を選択し、最終リセット用トランジスタ2322を導通状態にし、最終出力線2320を電源基準線2312の電位に初期化する。その後、(j+1)列目の最終選択線2318を選択し、最終選択用トランジスタ2319を導通状態にし、(j+1)列目の負荷容量2315の信号を最終出力線2320に出力する。その後も、同様の動作を繰り返し、全列の信号を最終出力線に、順次、出力していく。そのあいだ、バイアス信号線2310は、一定のままである。最終出力線2320に出力された信号は、最終出力増幅用回路2004で増幅され、外へ出力されていく。

【0123】次に、i+1行目ゲート信号線が選択される。すると、i行目ゲート信号線が選択されたのと同様に、動作させる。そして、さらに、次の行のゲート信号線が選択され、同様の動作を繰り返していく。

【0124】ここで、バイアス信号線2310の電位について述べる。図23では、バイアス用トランジスタ2311が、複数配置されている。よって、バイアス用トランジスタ2311のしきい値電圧がばらついても、全てのバイアス用トランジスタ2311が導通状態になっている必要がある。そのため、バイアス用トランジスタのゲート・ソース間電圧の絶対値は、バイアス用トランジスタの全てを導通状態にするために必要なゲート・ソース間電圧の絶対値の最小値に等しくしておく必要がある。

【0125】なお、光電変換などを行うセンサ部については、通常のPN型のフォトダイオードの他に、PIN型のダイオード、アバランシェ型ダイオード、npn埋め込み型ダイオード、ショットキー型ダイオード、X線用のフォトコンダクタ、赤外線用のセンサなどでもよい。また、蛍光材やシンチレータにより、X線を光に変換した後、その光を読みとってよい。

【0126】これまで述べてきたように、光電変換素子は、ソースフォロワ回路の入力端子に接続されることが多い。しかし、フォトゲート型のように、スイッチを間に挟んでもよい。あるいは、対数変換型のように、光強度の対数値なるように処理した後の信号を入力端子に入力してもよい。

【0127】なお、本実施例では、画素が2次元に配置されたエリアセンサについて述べたが、画素が1次元に配置されたラインセンサを実現することも出来る。

【0128】[実施例2]次に、周辺に駆動回路を搭載し、画素を2次元に配置したエリアセンサに、バイアス信号線を制御してプリ放電を行う場合の実施例について述べる。実施例1と異なるのは、回路図の一部(図23)と信号タイミングチャートの一部(図27)のみである。よって、図23に対応する図として、図29を示す。図27に対応する図として、図28を示す。

【0129】図29は、図23において、放電用トランジスタ2316とプリ放電信号線2317を削除した図である。

【0130】次に、図29における信号のタイミングチャートを図28に示す。繰り返しの動作になるため、例として、i行目のゲート信号線が選択されている時を考える。まず、i行目のゲート信号線2102が選択された後、バイアス信号線2910の電位と転送用トランジスタ2913の電位を、大きくして、プリ放電を実行する。その後、バイアス信号線2910の電位を元に戻す。すると、i行目の画素から、各列の信号が各列の負荷容量2915に出力される。そして、i行目の全ての画素の信号を、各列の負荷容量2915に蓄積した後、最終出力線2920に各列の信号を順に出力していく。

【0131】なお、本実施例では、プリ放電時には、バイアス電位Vbが変化する。そのため、バイアス信号線2910には、バイアス電位Vbを変化させるため、信号発生装置が接続されていてもよい。

【0132】[実施例3]本願発明のセンサを、TFTを用いてガラス上に作製する場合の作製方法について、図30～図33を用いて説明する。

【0133】まず、図30(A)に示すように、ガラス基板200上に下地膜201を300nmの厚さに形成する。本実施例では下地膜201として窒化酸化珪素膜を積層して用いる。この時、ガラス基板200に接する方の窒素濃度を10～25wt%としておくとも良い。また、下地膜201に放熱効果を持たせることは有効であり、DLC(ダイヤモンドライクカーボン)膜を設けても良い。

【0134】次に下地膜201の上に50nmの厚さの非晶質珪素膜(図示せず)を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は2

0～100nmの厚さであれば良い。

【0135】そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜(多結晶シリコン膜若しくはポリシリコン膜ともいう)202を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。本実施例では、XeClガスをを用いたエキシマレーザー光を用いて結晶化する。

【0136】なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【0137】また、本実施例では結晶質珪素膜をTFTの活性層として用いるが、非晶質珪素膜を用いることも可能である。

【0138】なお、オフ電流を低減する必要のあるリセット用トランジスタの活性層を非晶質珪素膜で形成し、増幅用トランジスタの活性層を結晶質珪素膜で形成することは有効である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0139】次に、図30(B)に示すように、結晶質珪素膜202上に酸化珪素膜でなる保護膜203を130nmの厚さに形成する。この厚さは100～200nm(好ましくは130～170nm)の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜203は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0140】そして、その上にレジストマスク204a、204b、204cを形成し、保護膜203を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には周期表の15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH₃)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを 1×10^{18} atoms/cm³の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0141】この工程により形成されるn型不純物領域(b)205a、205bには、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³)の濃度で含まれるようにドーピング量を調節する。

【0142】次に、図30(C)に示すように、保護膜203、レジストマスク204a、204b、204cを除去し、添加したn型不純物元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例では

エキシマレーザー光の照射（レーザーアニール）により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜203をつけたままレーザー光を照射しても良い。

【0143】なお、このレーザー光による不純物元素の活性化に際して、熱処理（ファーンズアニール）による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450～550℃程度の熱処理を行えば良い。

【0144】この工程によりn型不純物領域（b）205a、205bの端部、即ち、n型不純物領域（b）205a、205bの周囲に存在するn型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0145】次に、図30（D）に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）206～210を形成する。

【0146】次に、図31（A）に示すように、活性層206～210を覆ってゲート絶縁膜211を形成する。ゲート絶縁膜211としては、10～200nm、好ましくは50～150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

【0147】次に、200～400nm厚の導電膜を形成し、パターンニングしてゲート電極212～216を形成する。なお本実施例では、ゲート電極とゲート電極に電気的に接続された引き回しのための配線（以下、ゲート配線という）とを同一材料で形成している。勿論、ゲート電極と、ゲート配線とを別の材料で形成しても良い。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いても良い。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きいセンサ部を形成することができる。即ち、画面の大きさが対角10インチ以上（さらには30インチ以上）のセンサ部を有するエリアセンサを実現する上で、上記の面素構造は極めて有効である。

【0148】また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極212～216の材料としては公知のあらゆる導電膜を用いることができる。

【0149】代表的には、アルミニウム（Al）、タン

タル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0150】本実施例では、30nm厚の窒化タングステン（WN）膜と、370nm厚のタングステン（W）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0151】またこの時、ゲート電極213、216はそれぞれn型不純物領域（b）205a、205bの一部とゲート絶縁膜211を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

【0152】次に、図31（B）に示すように、ゲート電極212～216をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成されるn型不純物領域（c）217～224にはn型不純物領域（b）205a、205bの1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度が好ましい。

【0153】次に、図31（C）に示すように、ゲート電極212、214、215を覆う形でレジストマスク225a～225cを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含むn型不純物領域（a）226～233を形成する。ここでもフォスフィン（ PH_3 ）を用いたイオンドープ法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）となるように調節する。

【0154】この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成される。そしてnチャネル型TFTでは、図31（B）の工程で形成したn型不純物領域217、218、222、223の一部を残す。この残された領域がLDD領域となる。

【0155】次に、図31（D）に示すように、レジストマスク225a～225cを除去し、新たにレジストマスク234a、234bを形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含むp型不純物領域235、236を形成する。ここではジボラン（ B_2H_6 ）を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ （代表的には5

$\times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$) 濃度となるようにボロンを添加する。

【0156】なお、不純物領域235、236には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0157】次に、レジストマスク234a、234bを除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランブアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0158】このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は1ppm以下、好ましくは0.1ppm以下とすることが望ましい。

【0159】次に、図32(A)に示すように、第1層間絶縁膜237を形成する。第1層間絶縁膜237としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm \sim 1.5 μm とすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0160】さらに、3 \sim 100%の水素を含む雰囲気中で、300 \sim 450℃で1 \sim 12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手在水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0161】なお、水素化処理は第1層間絶縁膜237を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0162】次に、ゲート絶縁膜211及び第1層間絶縁膜237に対してコンタクトホールを形成し、ソース配線238 \sim 242と、ドレイン配線243 \sim 247を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0163】次に、50 \sim 500nm(代表的には200 \sim 300nm)の厚さで第1パッシベーション膜248を形成する。本実施例では第1パッシベーション膜248として300nm厚の窒化酸化珪素膜を用いる。こ

れは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立って H_2 、 NH_3 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜237に供給され、熱処理を行うことで、第1パッシベーション膜248の膜質が改善される。それと同時に、第1層間絶縁膜237に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0164】次に、図32(B)に示すように有機樹脂からなる第2層間絶縁膜249を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することができる。特に、第2層間絶縁膜249は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1 \sim 5 μm (さらに好ましくは2 \sim 4 μm)とすれば良い。

【0165】次に、第2層間絶縁膜249及び第1パッシベーション膜248にドレイン配線245に達するコンタクトホールを形成し、ドレイン配線245に接するようにフォトダイオードのカソード電極250を形成する。本実施例では、カソード電極250としてスパッタ法によって形成したアルミニウム膜を用いたが、その他の金属、例えばチタン、タンタル、タングステン、銅を用いることができる。また、チタン、アルミニウム、チタンでなる積層膜を用いてもよい。

【0166】次に、水素を含有する非晶質珪素膜を基板全面に成膜した後パターニングし、光電変換層251を形成する。次に、基板全面に透明導電膜を形成する。本実施例では透明導電膜として厚さ200nmのITOをスパッタ法で成膜する。透明導電膜をパターニングし、アノード電極252を形成する。(図32(C))

【0167】次に、図33(A)に示すように第3層間絶縁膜253を形成する。第3層間絶縁膜253として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いることで、平坦な表面を得ることができる。本実施例では、第3層間絶縁膜253として厚さ0.7 μm のポリイミド膜を基板全面に形成した。

【0168】次に、第3層間絶縁膜253に、アノード電極252に達するコンタクトホールを形成し、センサ用配線254を形成する。本実施例ではアルミニウム合金膜(1wt%のチタンを含有したアルミニウム膜)を300nmの厚さに形成する。

【0169】こうして図33(B)に示すような構造のセンサ基板が完成する。

【0170】270は増幅用TFT、271はスイッチ用TFT、272はリセット用TFT、273はバイアス用TFT、274は放電用TFTである。

【0171】本実施例では、増幅用TFT270及びバイアス用TFT273がnチャネル型TFTであり、そ

れぞれソース領域側とドレイン領域側の両方にそれぞれLDD領域281~284を有している。なおこのLDD領域281~284はゲート絶縁膜211を間に介してゲート電極212、215と重なっていない。上記構成により、増幅用TFT270及びバイアス用TFT273は、極力ホットキャリア注入を低減させることができる。

【0172】また本実施例では、スイッチ用TFT271及び放電用TFT274がnチャネル型TFTであり、それぞれドレイン領域側にのみそれぞれLDD領域283、286を有している。なおこのLDD領域283、286はゲート絶縁膜211を間に介してゲート電極213、216と重なっている。

【0173】ドレイン領域側のみにLDD領域283、286を形成しているのは、ホットキャリア注入を低減させ、なおかつ動作速度を落とさないための配慮である。また、このスイッチ用271及び放電用TFT274はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD領域283、286は完全にゲート電極213、216と重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。特に、ソース信号線駆動回路又はゲート信号線駆動回路を15V~20Vで駆動させる場合、本実施例の放電用TFT274の上記構成は、ホットキャリア注入を低減させ、なおかつ動作速度を落とさないのに有効である。

【0174】また本実施例では、リセット用TFT272はpチャネル型TFTであり、LDD領域を有していない。pチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくてもよい。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。また、リセット用TFT272がnチャネル型TFTであってもよい。

【0175】また、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。

【0176】なお、本実施例では、ガラス上のTFTやフォトダイオードを用いて、センサを作製しているが、単結晶シリコン基板上のトランジスタを用いて、センサを作製することも可能である。

【0177】[実施例4]本願発明を実施して形成されたセンサは、様々な電子機器に用いることが出来る。その様な本願発明の電子機器としては、スキャナ、デジタルスチルカメラ、X線カメラ、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機）、ノート型パーソナルコンピュータ、ゲーム機器、テレビ電話、等が挙げられる。

【0178】図34(A)は、スキャナであり、読みとり領

域3402、センサ部3401、読みとり開始スイッチ3403等を含む。本願発明は、センサ部3401に用いることが出来る。

【0179】図34(B)は、デジタルスチルカメラであり、ファインダ3405、センサ部3404、シャッターボタン3406等を含む。本願発明は、センサ部3404に用いることが出来る。

【0180】図35は、X線カメラであり、X線発生器3501、センサ部3503、信号処理用コンピュータ3504等を含む。X線発生器3501とセンサ部3503の間に、測定対象物3502が入って、X線写真を取る。本願発明は、センサ部3503に用いることが出来る。

【0181】図36はパーソナルコンピュータであり、本体3601、筐体3602、表示装置3603、キーボード3604、センサ部3605等を含む。本願発明は表示装置3603及びセンサ部3605に用いることができる。

【0182】ここで図37は携帯電話であり、本体3701、音声出力部3702、音声入力部3703、表示装置3704、操作スイッチ3705、アンテナ3706、センサ部3707を含む。本願発明はセンサ部3707に用いることができる。

【発明の効果】

【0183】本願発明は、ソースフォロワ回路の出力電位の書き込み時間が長くなることを避けつつ、出力電位の振幅を大きくする事が出来る。また、同時に、ソースフォロワ回路の入出力関係が線形である動作領域を広くすることも出来る。そのため、高い画質をもつセンサが実現される。

【0184】

【図面の簡単な説明】

【図1】 本願発明のソースフォロワ回路の回路図とタイミングチャート

【図2】 従来のパッシブセンサの画素の回路図

【図3】 従来のアクティブセンサの画素の回路図

【図4】 従来のソースフォロワ回路の回路図

【図5】 ソースフォロワ回路の電流特性図

【図6】 ソースフォロワ回路の電流特性図

【図7】 ソースフォロワ回路の入出力特性図

【図8】 ソースフォロワ回路の回路図とタイミングチャート

【図9】 ソースフォロワ回路の回路図とタイミングチャート

【図10】 アクティブセンサでのタイミングチャート

【図11】 本願発明のソースフォロワ回路の回路図とタイミングチャート

【図12】 本願発明のソースフォロワ回路の回路図とタイミングチャート

【図13】 本願発明のソースフォロワ回路の回路図とタイミングチャート

【図14】 本願発明のソースフォロワ回路の回路図と

タイミングチャート

【図 1 5】 本願発明のソースフォロワ回路の回路図とタイミングチャート

【図 1 6】 本願発明のソースフォロワ回路の回路図とタイミングチャート

【図 1 7】 本願発明のソースフォロワ回路の回路図とタイミングチャート

【図 1 8】 本願発明のソースフォロワ回路の回路図とタイミングチャート

【図 1 9】 本願発明のソースフォロワ回路の回路図とタイミングチャート

【図 2 0】 本願発明のエリアセンサのブロック図

【図 2 1】 本願発明のアクティブセンサの画素の回路図

【図 2 2】 本願発明のアクティブセンサの画素の回路図

【図 2 3】 本願発明の信号処理回路の回路図

【図 2 4】 本願発明の最終出力増幅用回路の回路図

【図 2 5】 本願発明の最終出力増幅用回路の回路図

【図 2 6】 本願発明のエリアセンサのタイミングチャート

【図 2 7】 本願発明のエリアセンサのタイミングチャート

【図 2 8】 本願発明のエリアセンサのタイミングチャート

【図 2 9】 本願発明の信号処理回路の回路図

【図 3 0】 本願発明のイメージセンサの作製行程を示す図

す図

【図 3 1】 本願発明のイメージセンサの作製行程を示す図

【図 3 2】 本願発明のイメージセンサの作製行程を示す図

【図 3 3】 本願発明のイメージセンサの作製行程を示す図

【図 3 4】 本願発明のイメージセンサを用いた電子機器の図

【図 3 5】 本願発明のイメージセンサを用いた電子機器の図

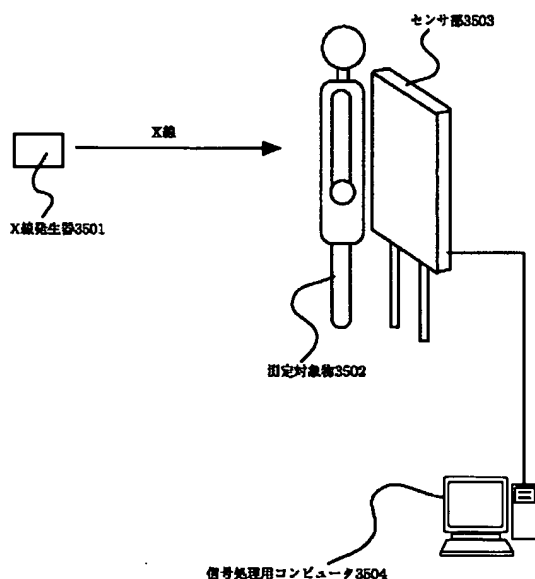
【図 3 6】 本願発明のイメージセンサを用いた電子機器の図

【図 3 7】 本願発明のイメージセンサを用いた電子機器の図

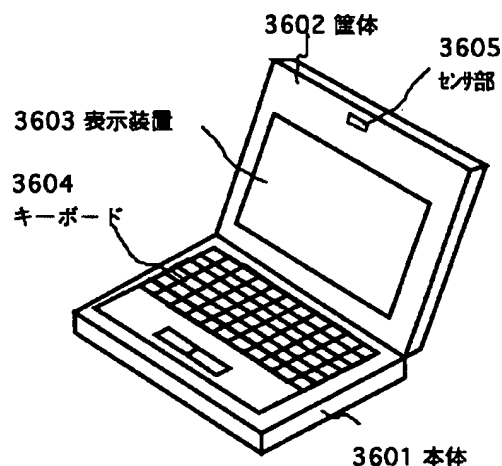
【符号の説明】

- 101 増幅用トランジスタ
- 102 バイアス用トランジスタ
- 103 増幅側電源線
- 104 バイアス側電源線
- 105 入力端子
- 106 バイアス信号線
- 107 出力端子
- 108 放電用トランジスタ
- 109 放電用電源線
- 110 負荷容量
- 111 負荷容量用電源線

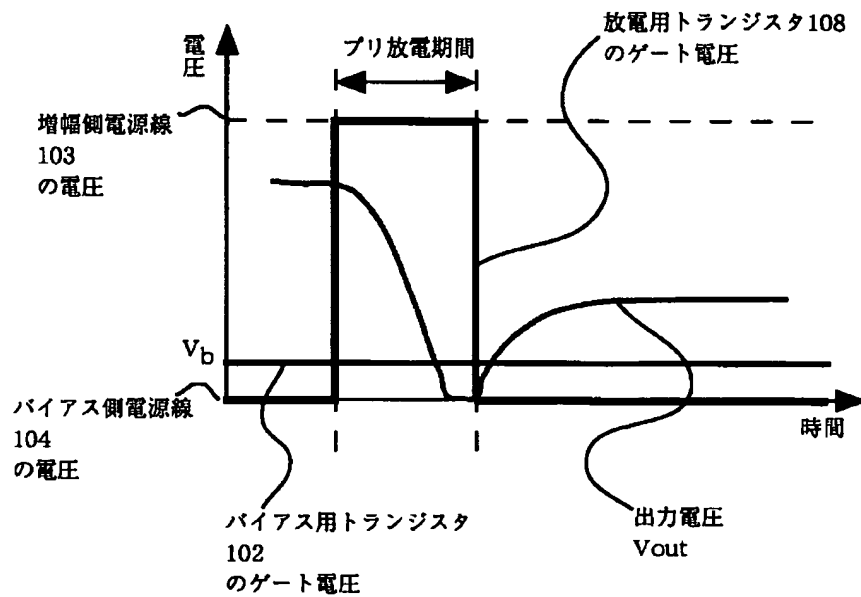
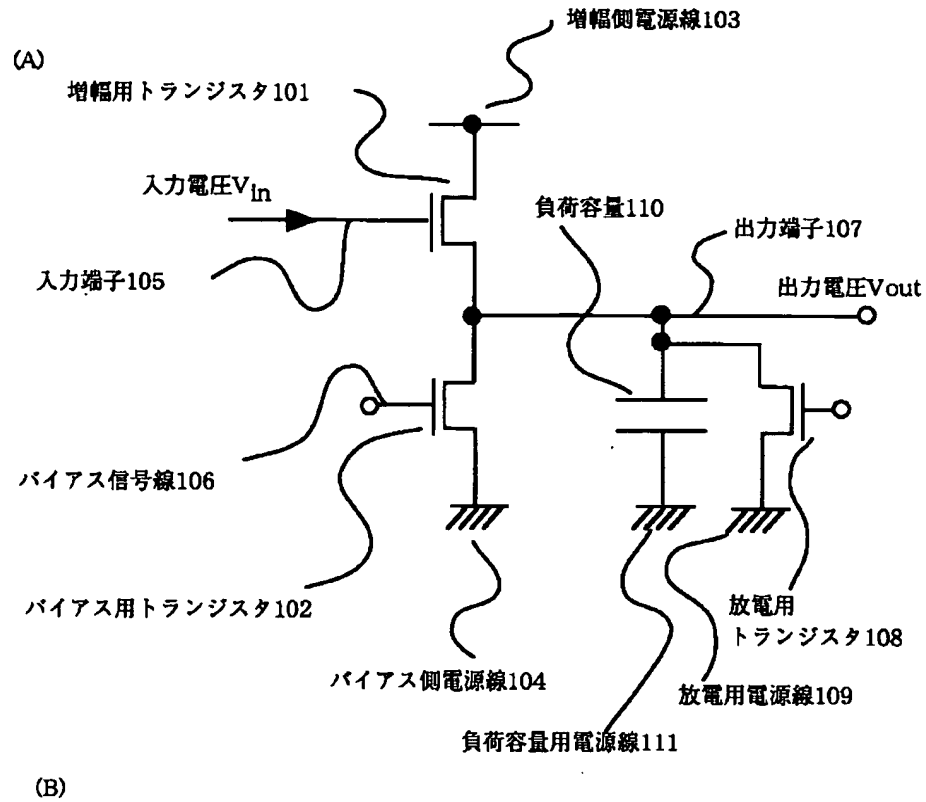
【図 3 5】



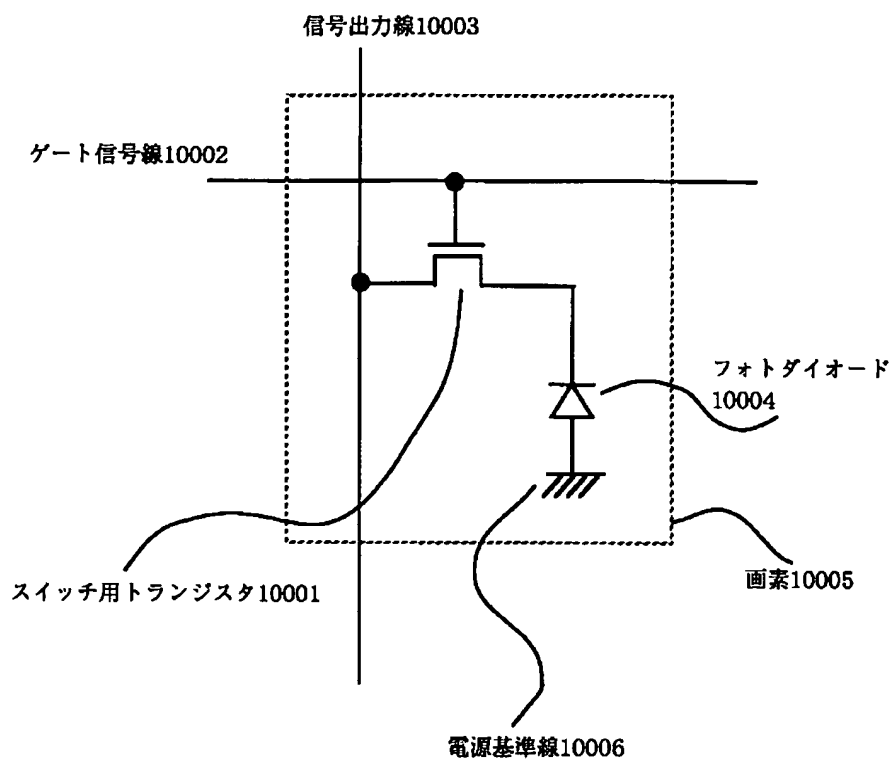
【図 3 6】



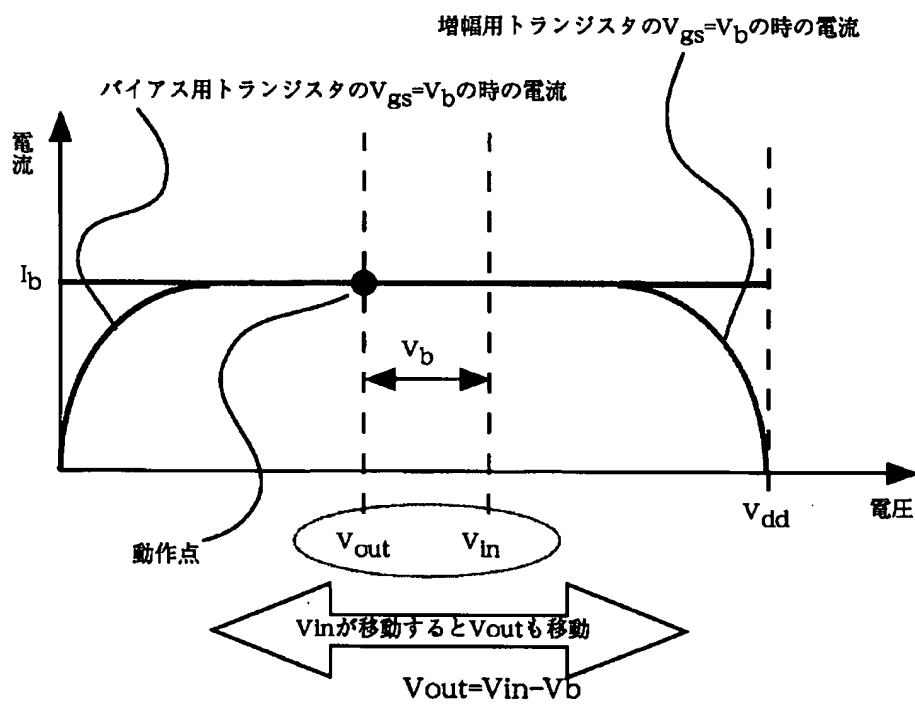
【図1】



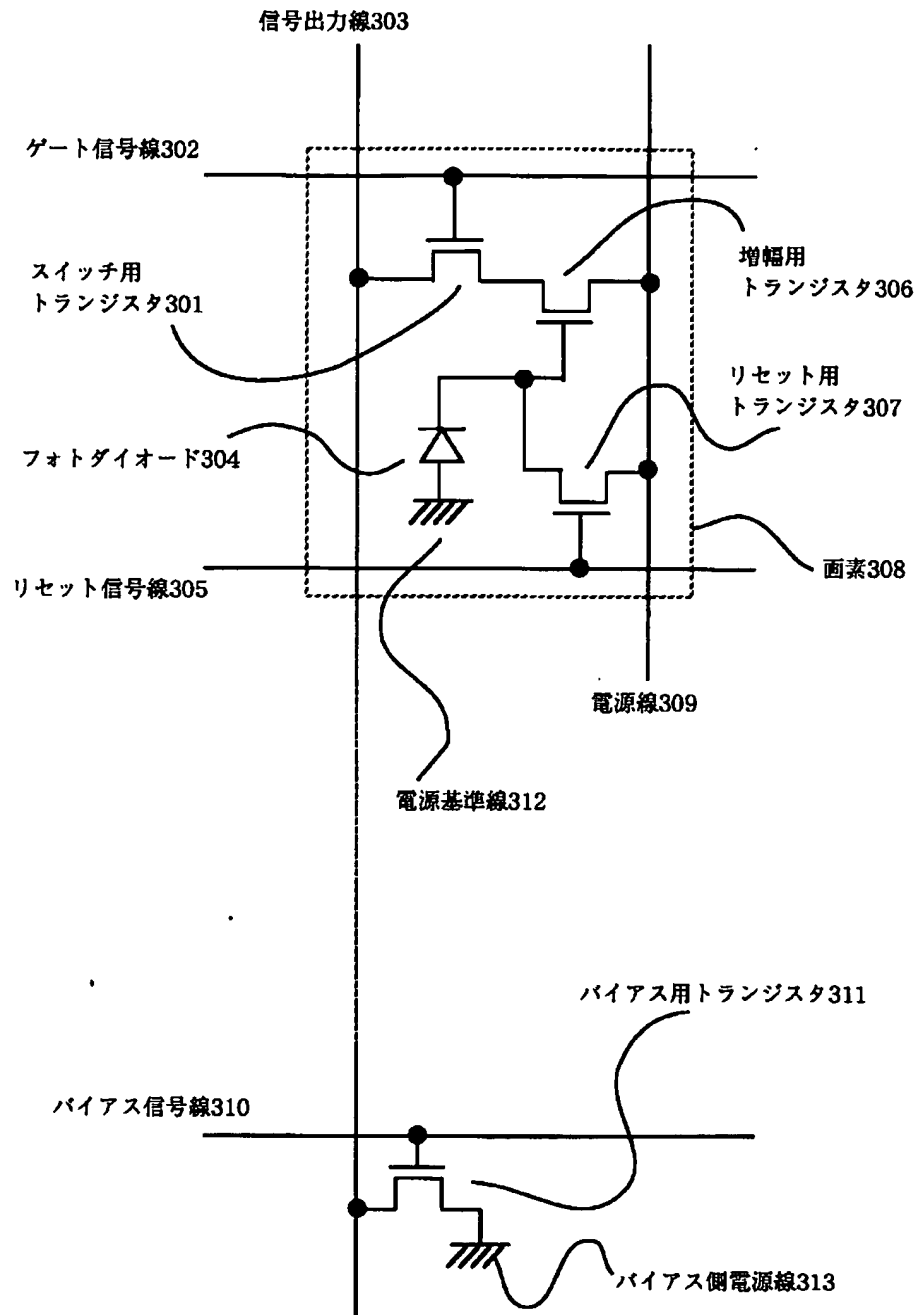
【図2】



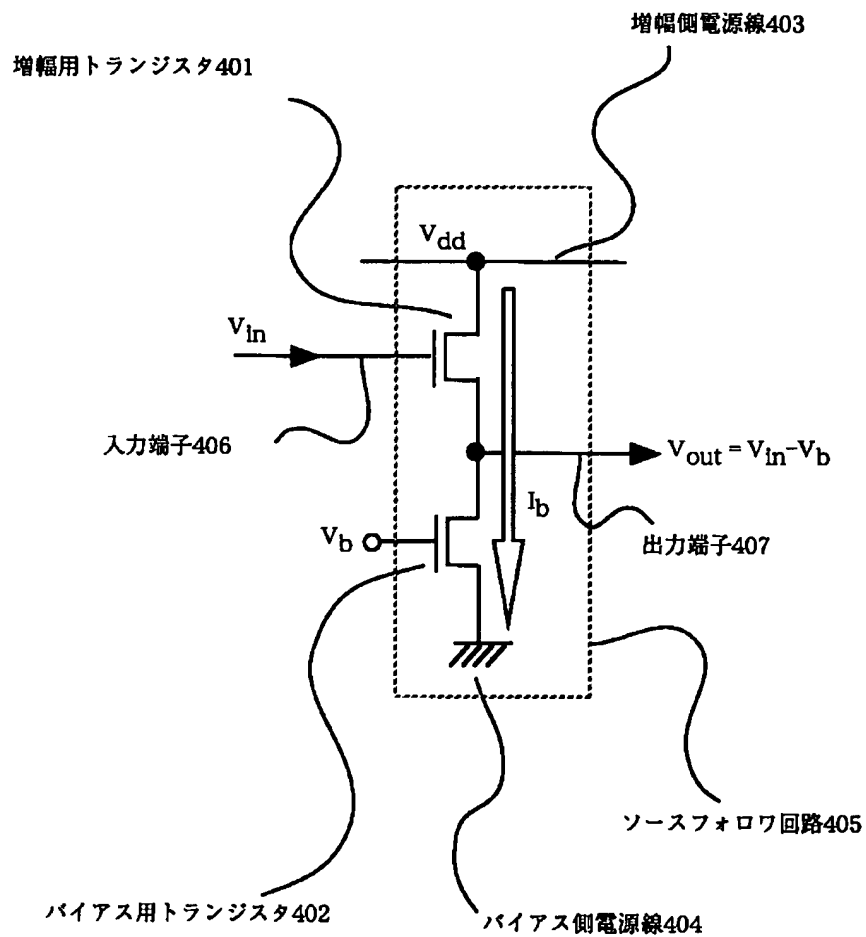
【図5】



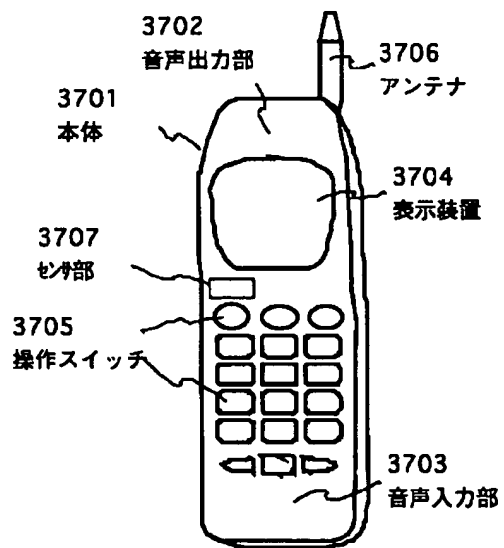
【図3】



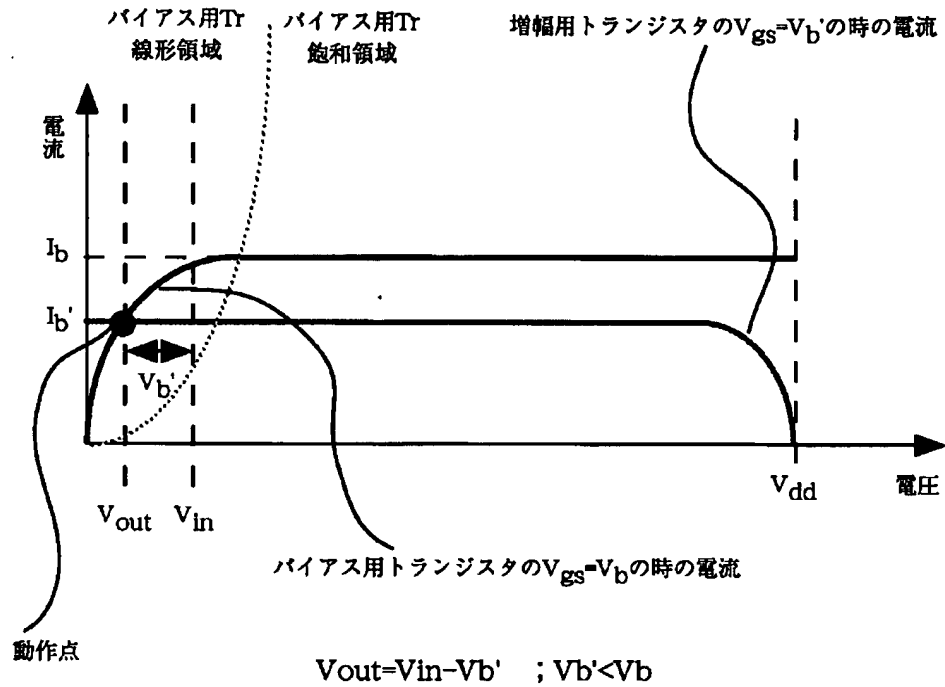
【図 4】



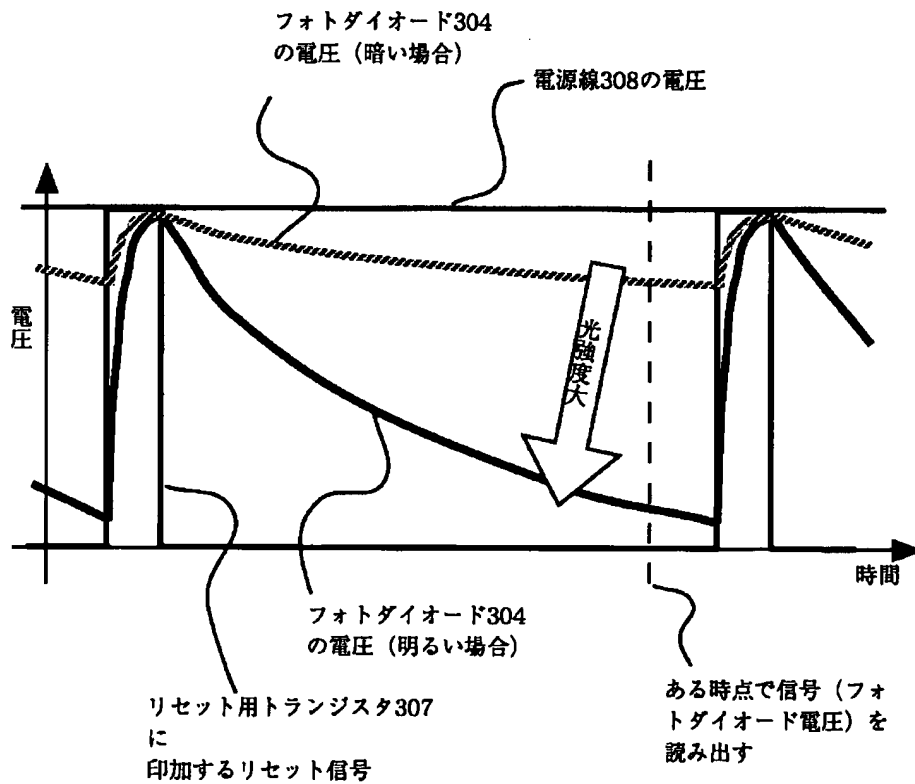
【図 3 7】



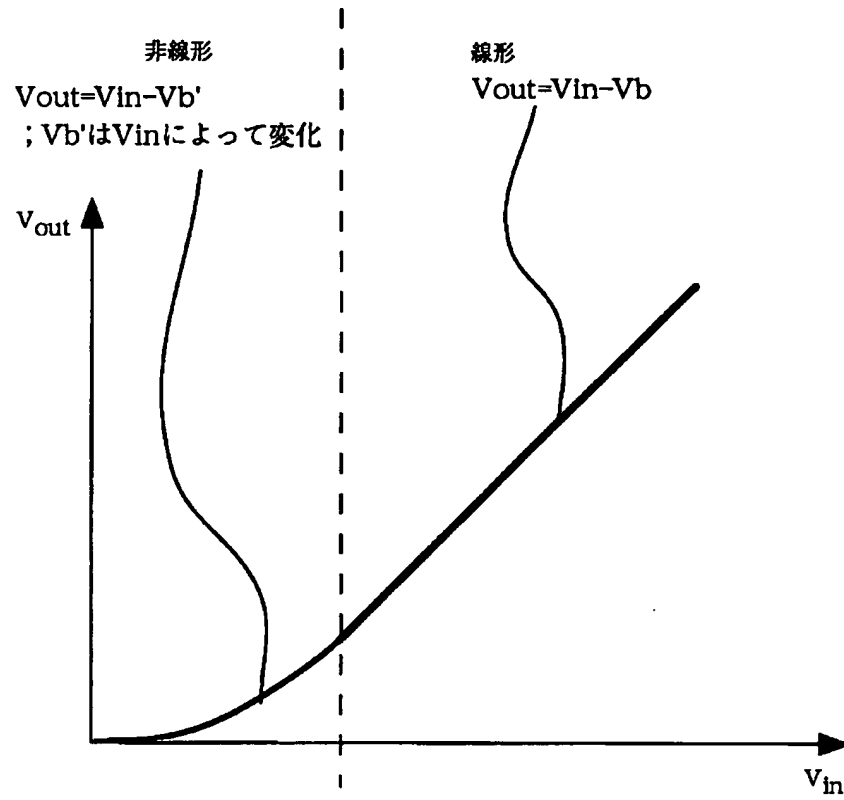
【図6】



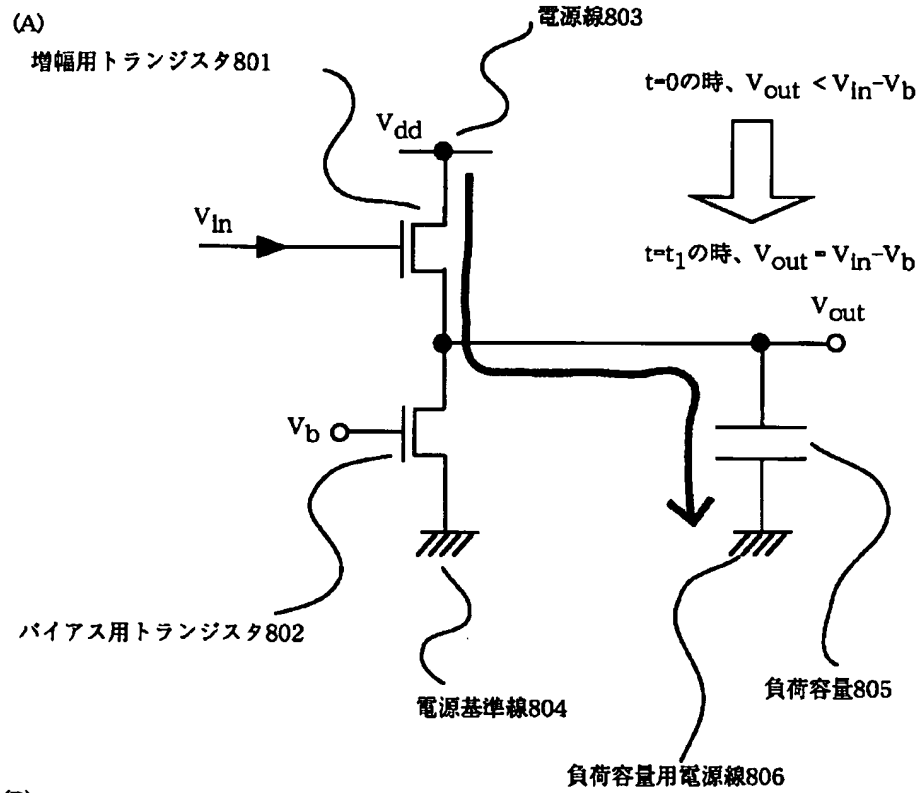
【図10】



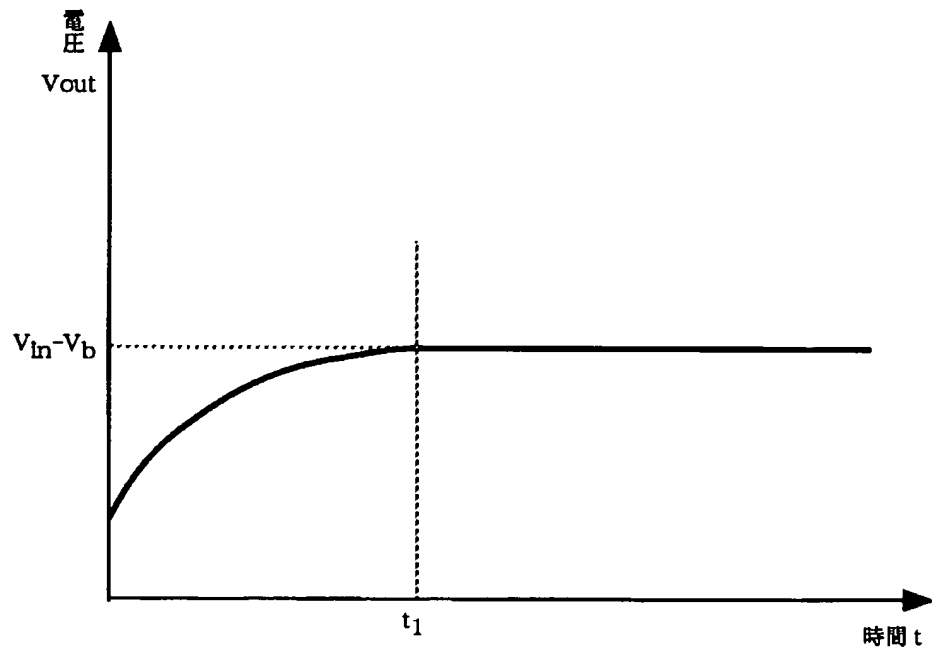
【図 7】



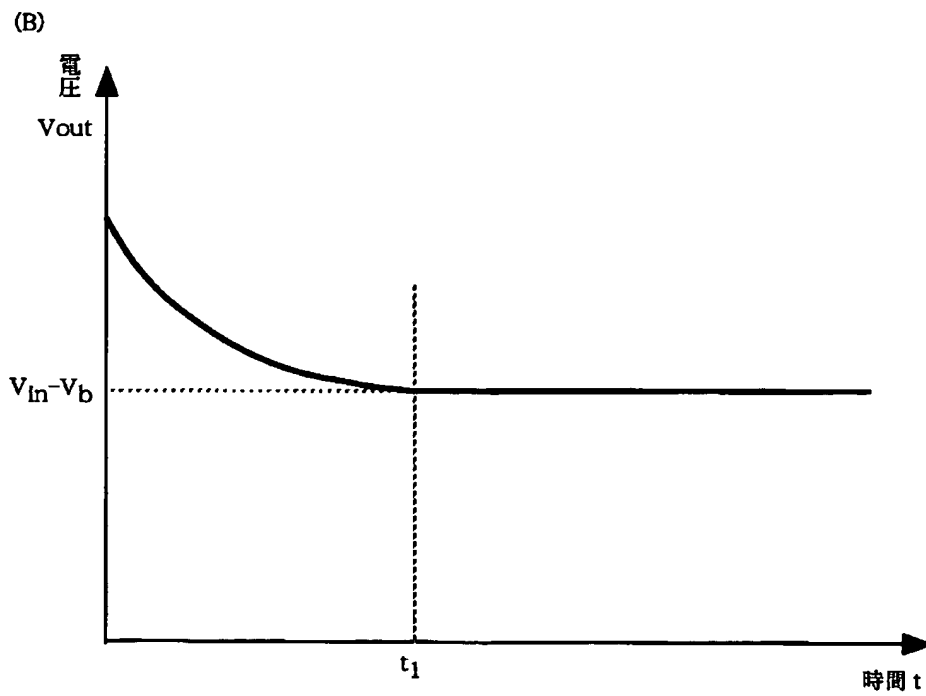
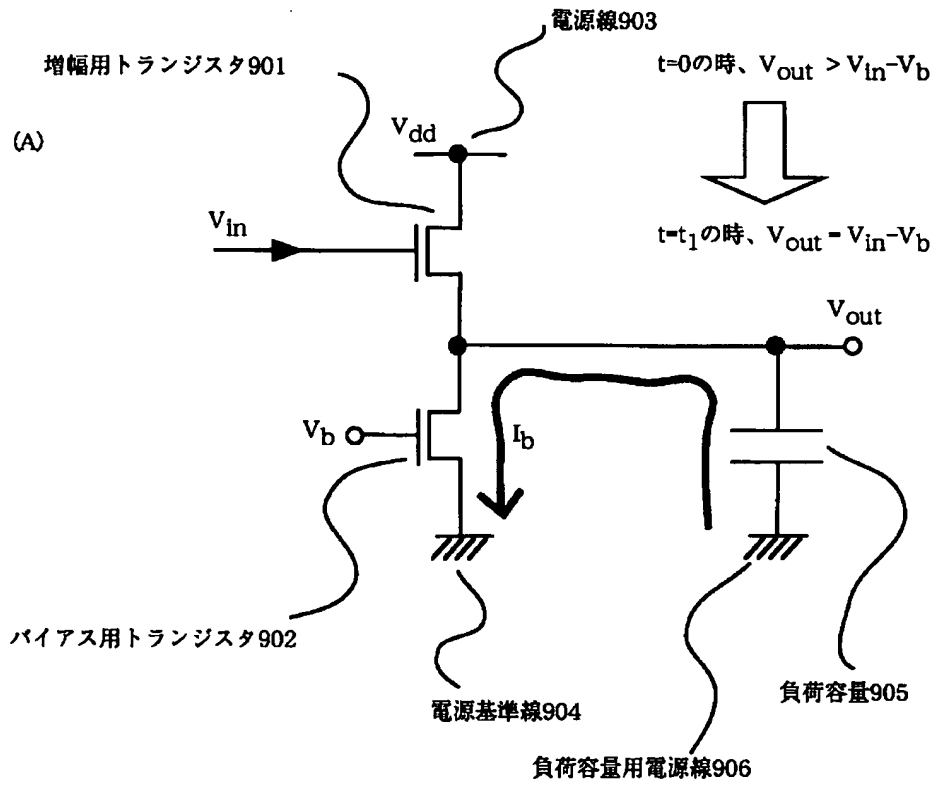
【図 8】



(B)



【図9】



(A)

The diagram shows a differential amplifier circuit. The input stage consists of two NMOS transistors, 1101 and 1102. The gates of both transistors are connected to a common input terminal 1105, which is driven by an input voltage V_{in} . The gates are also connected to a bias signal line 1106. The source of transistor 1101 is connected to a common source terminal, which is also the source of transistor 1102 and is connected to ground. The drain of transistor 1101 is connected to a supply line 1103. The drain of transistor 1102 is connected to a current mirror load consisting of two PMOS transistors, 1104 and 1108. The gates of both PMOS transistors are connected to a common gate terminal, which is also the gate of transistor 1104 and is connected to a bias supply line 1104. The source of transistor 1104 is connected to ground. The source of transistor 1108 is connected to a discharge supply line 1109. The output of the differential amplifier is taken from the common source terminal, which is connected to an output terminal 1107, providing an output voltage V_{out} .

増幅用トランジスタ1101

入力電圧 V_{in}

入力端子1105

増幅側電源線1103

出力電圧 V_{out}

出力端子1107

バイアス信号線1106

バイアス用トランジスタ1102

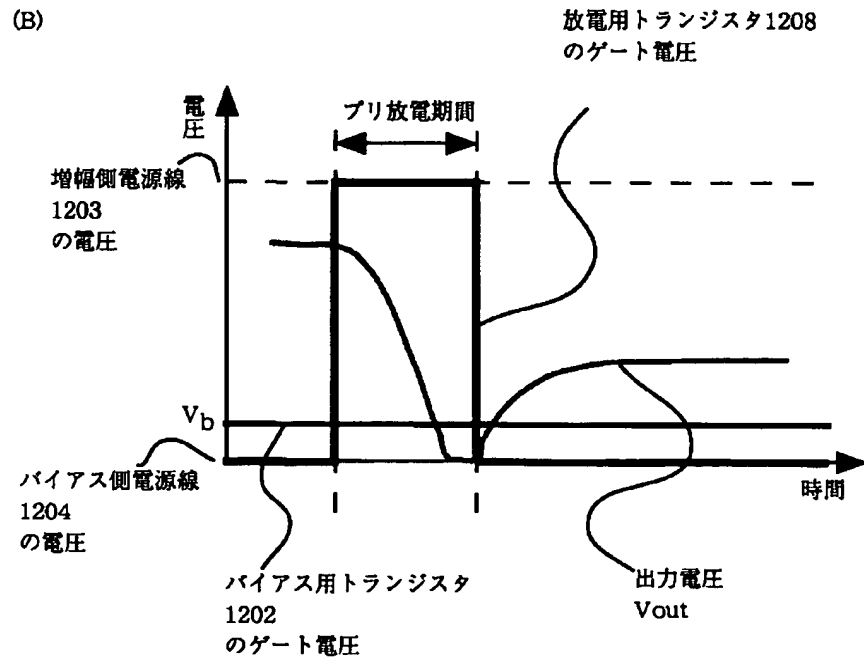
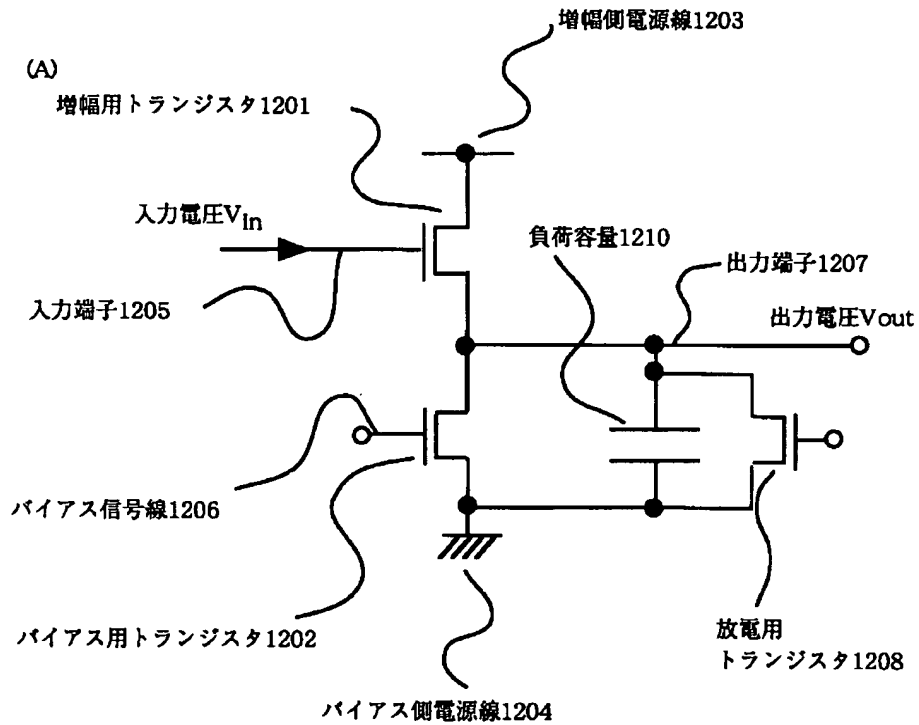
バイアス側電源線1104

放電用トランジスタ1108

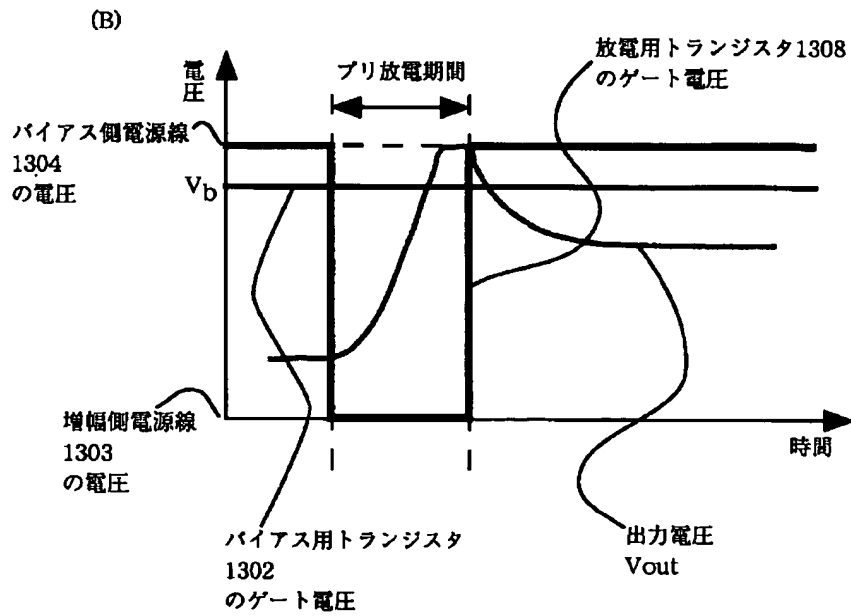
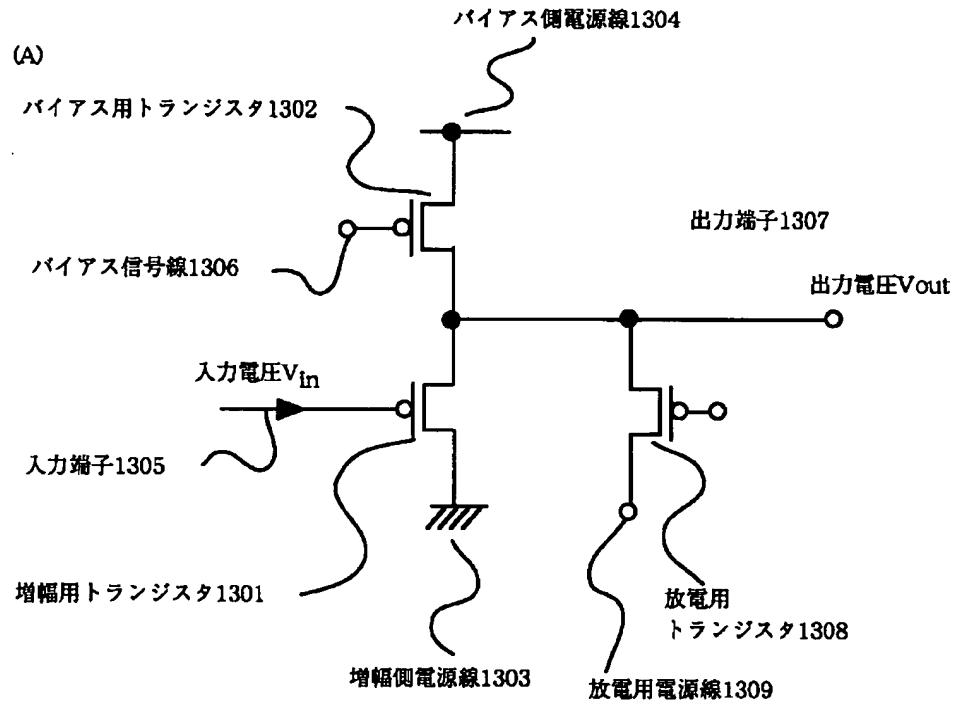
放電用電源線1109



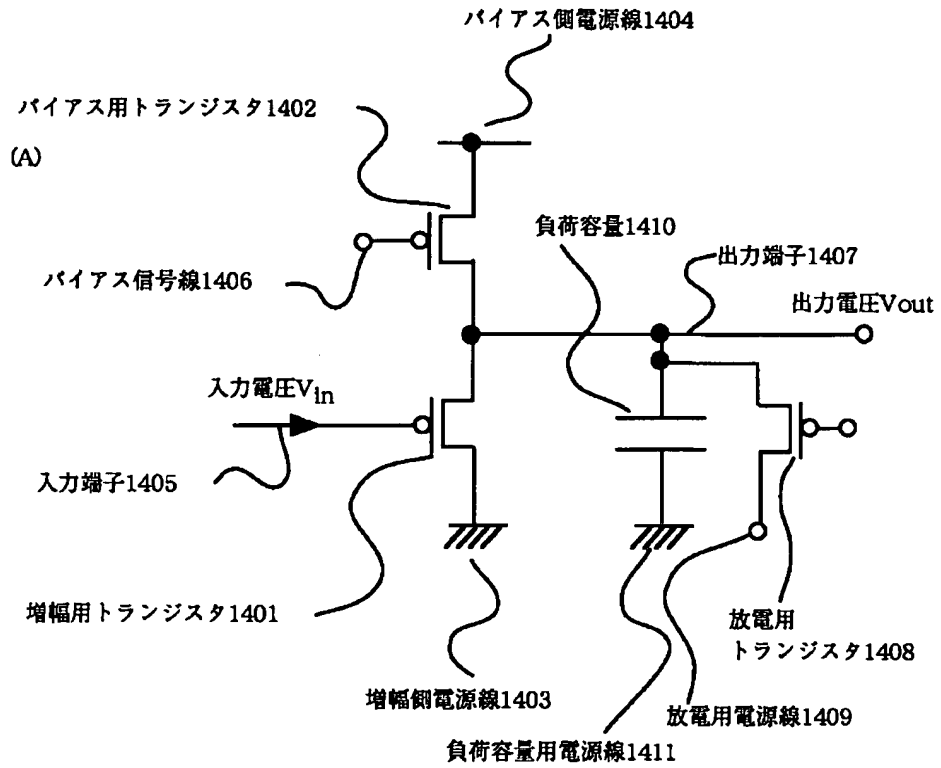
【図12】



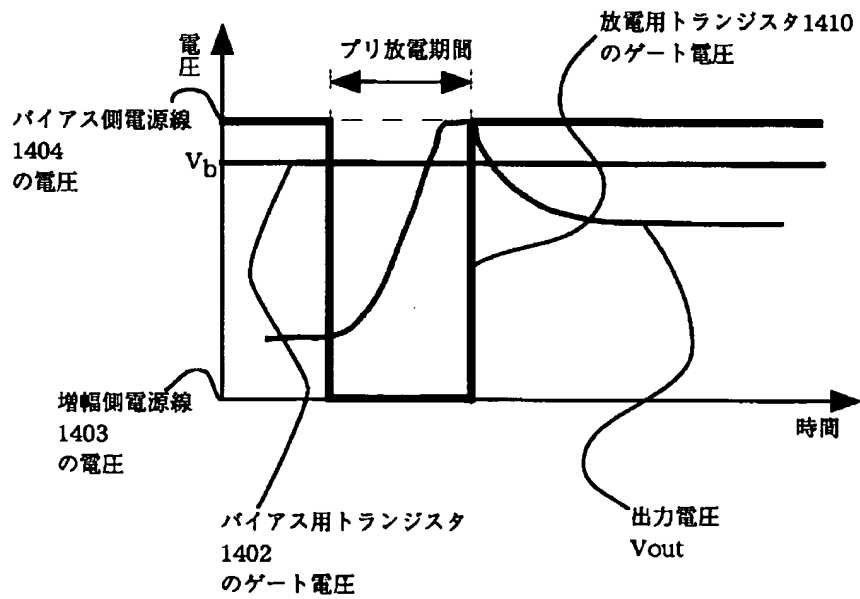
【図13】



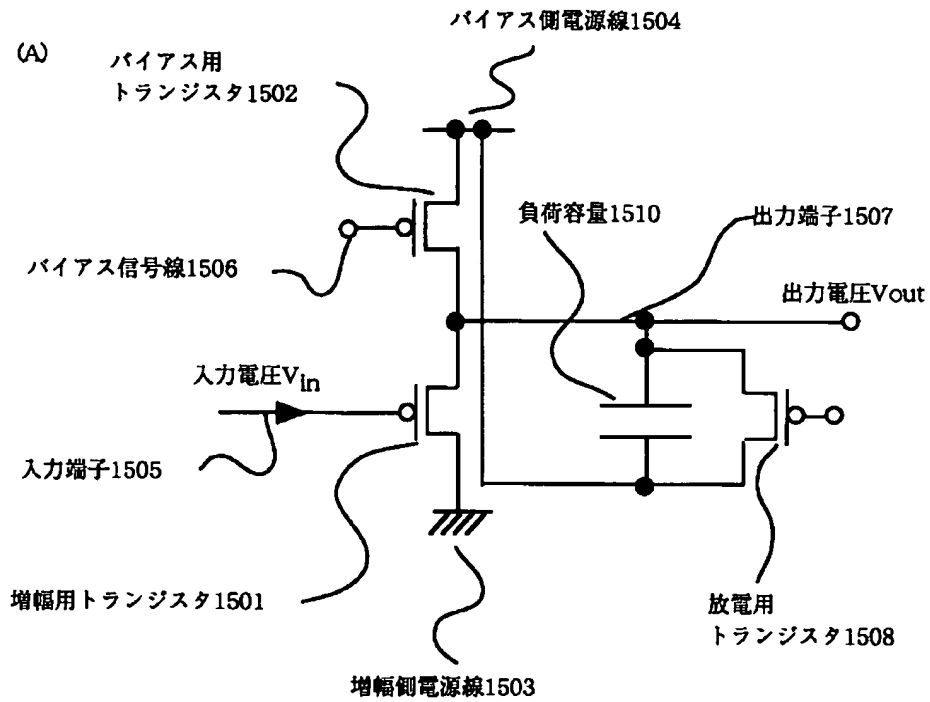
【図14】



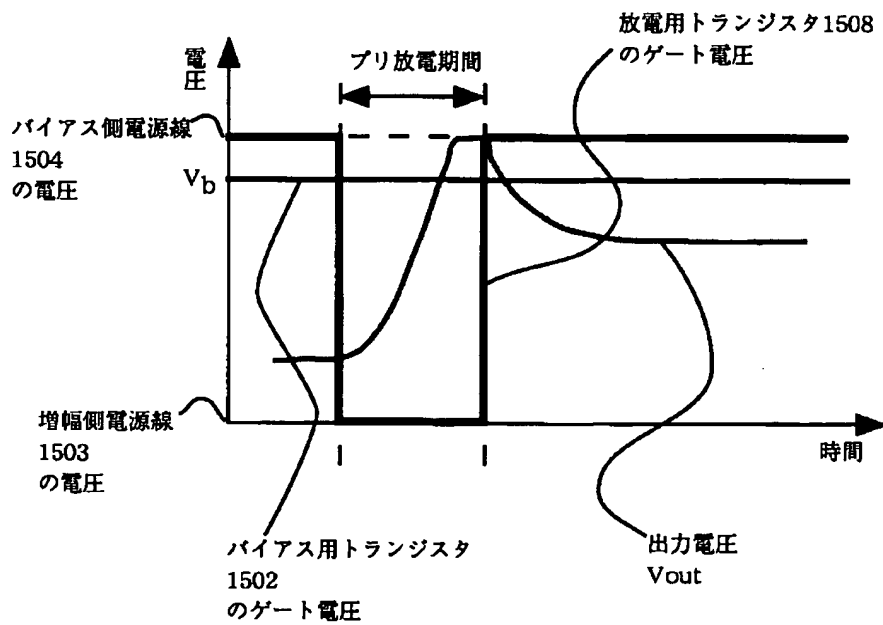
(B)



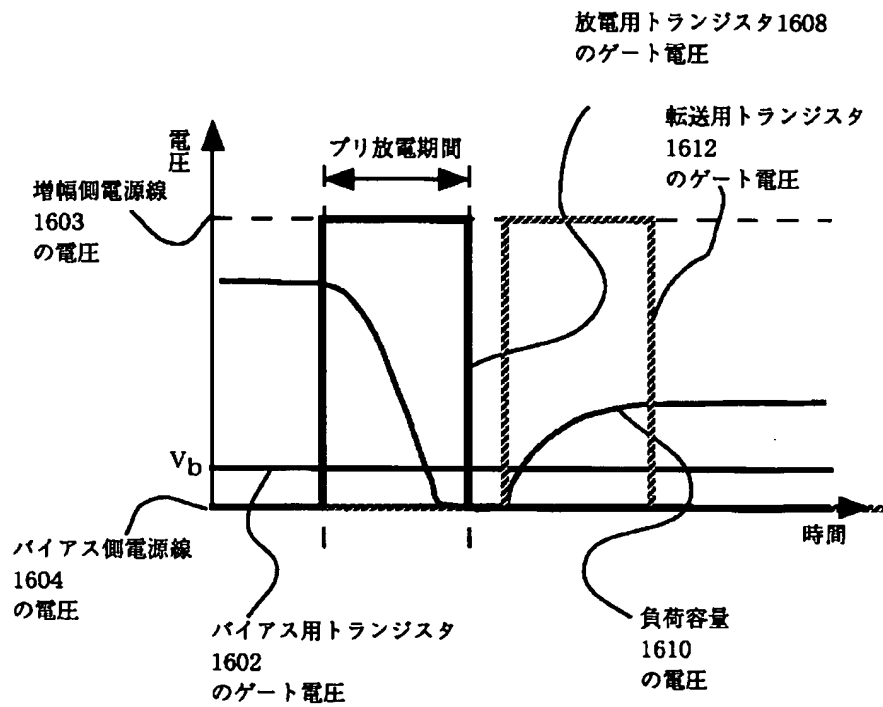
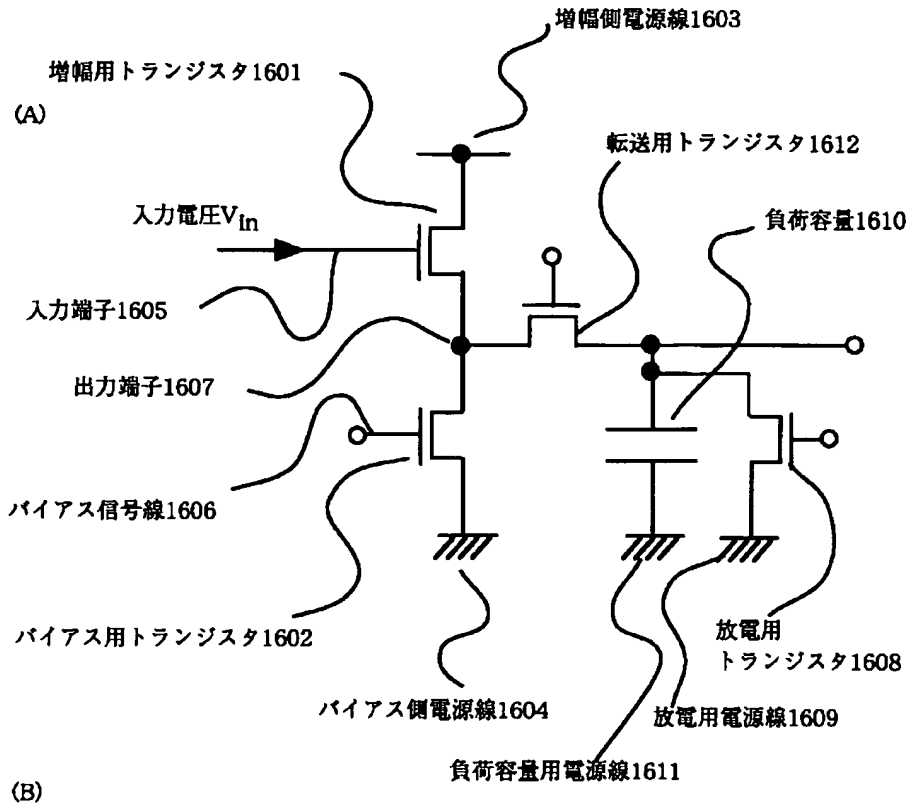
【図15】



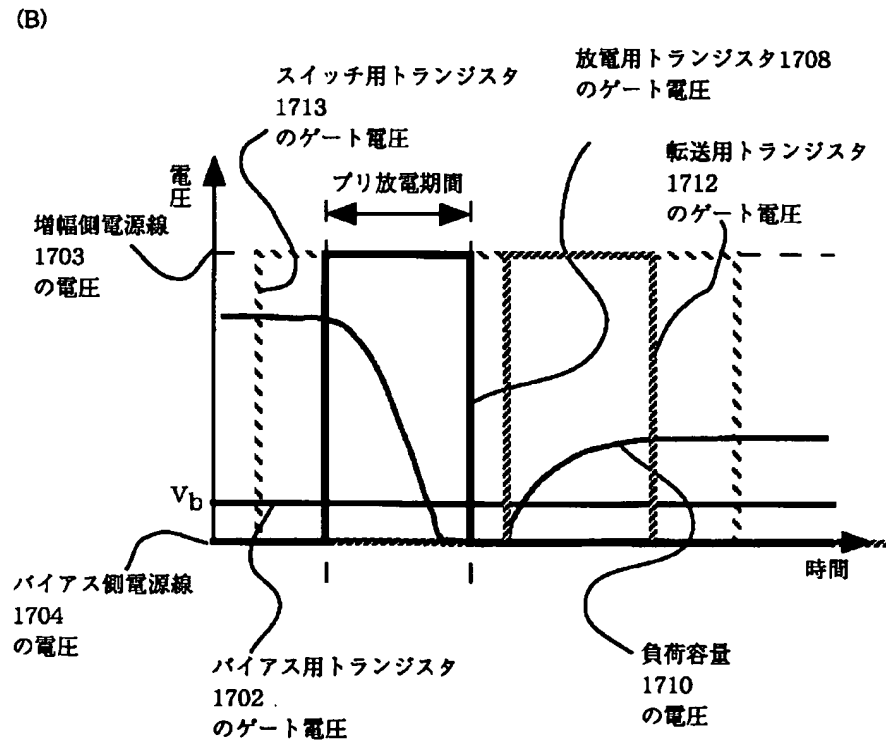
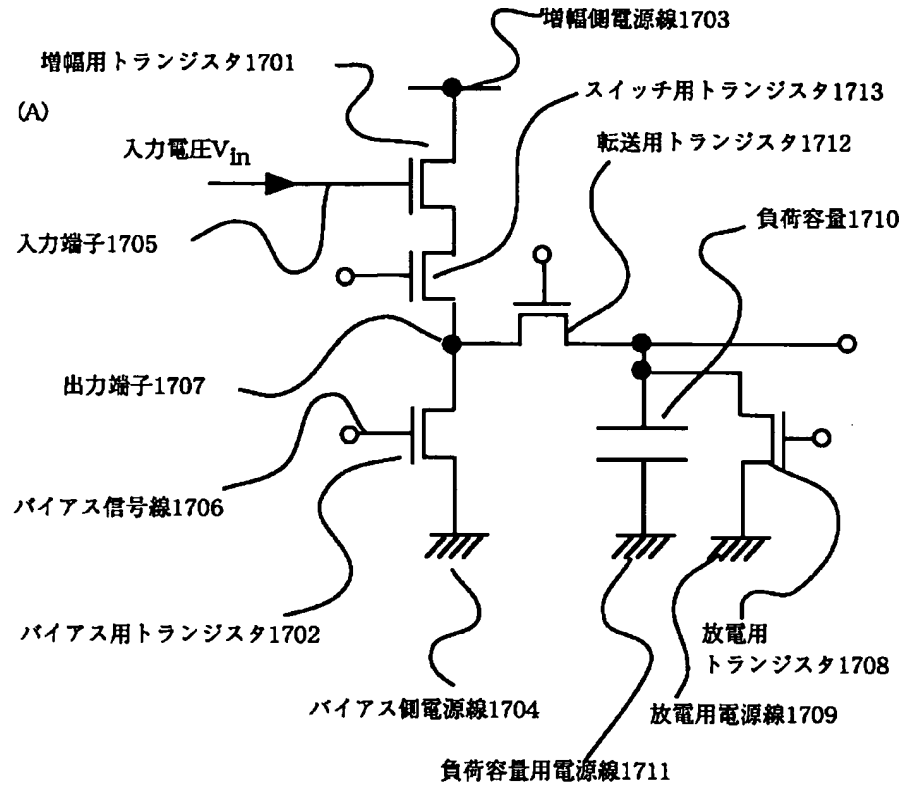
(B)



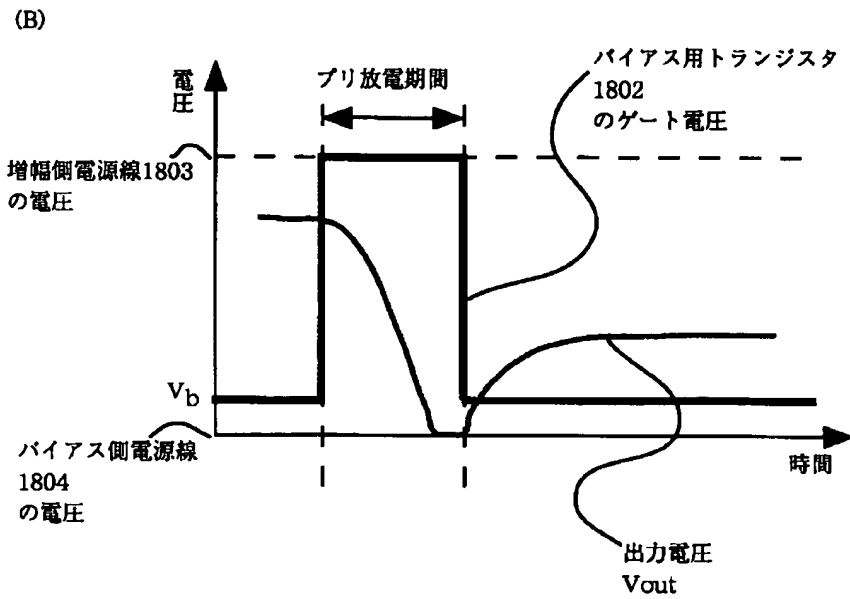
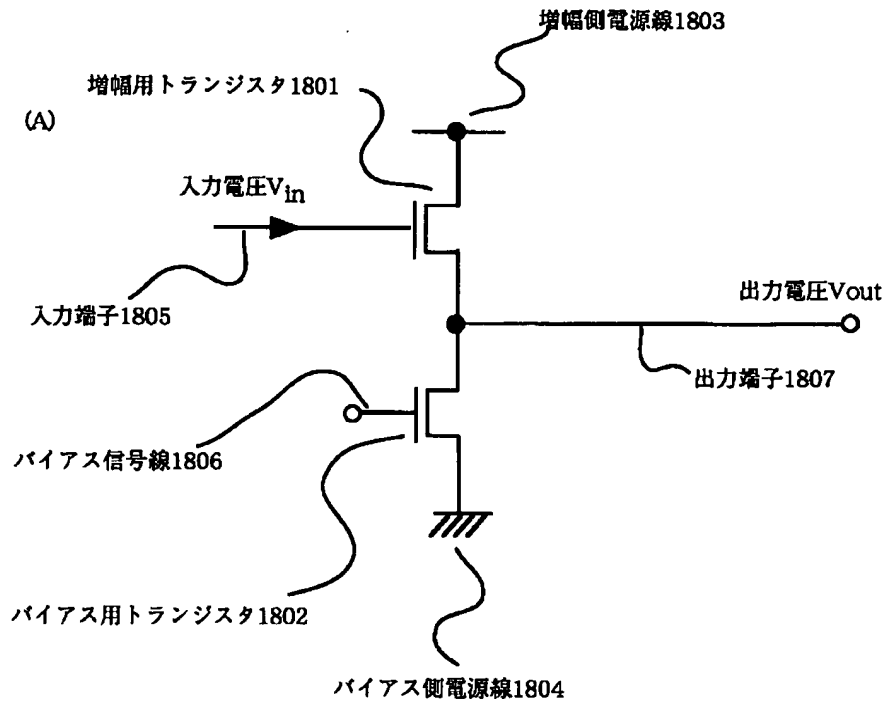
【図16】



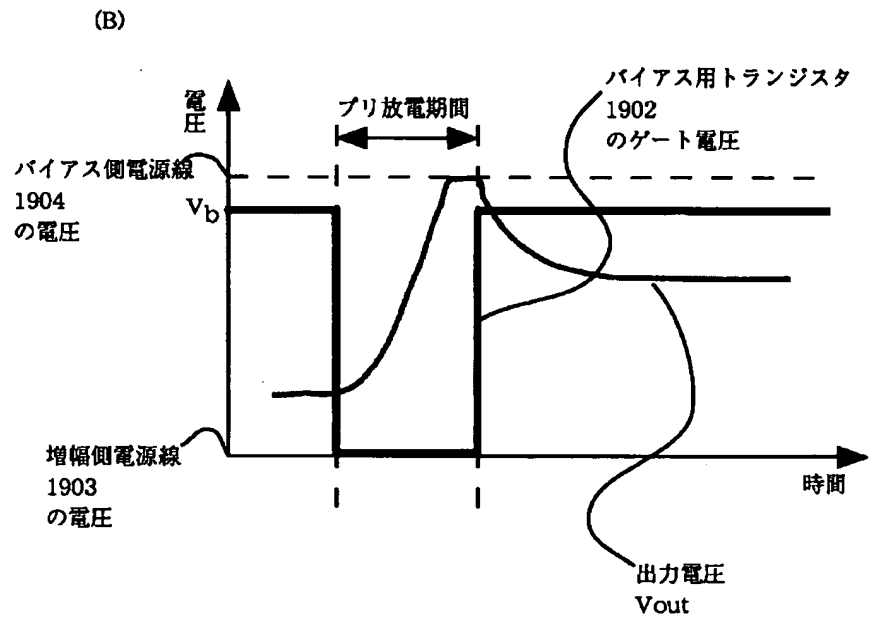
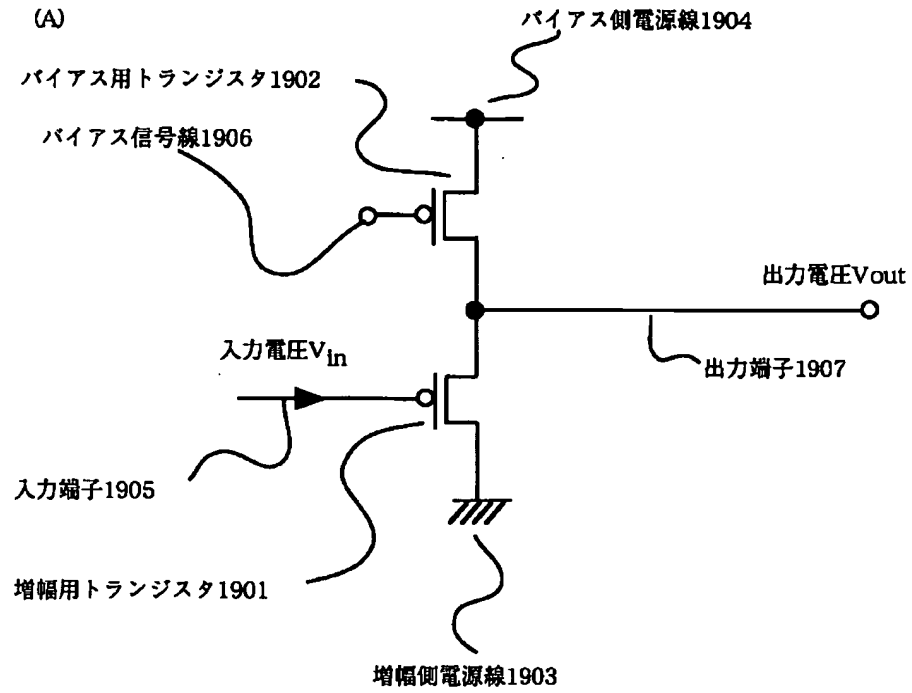
【図17】



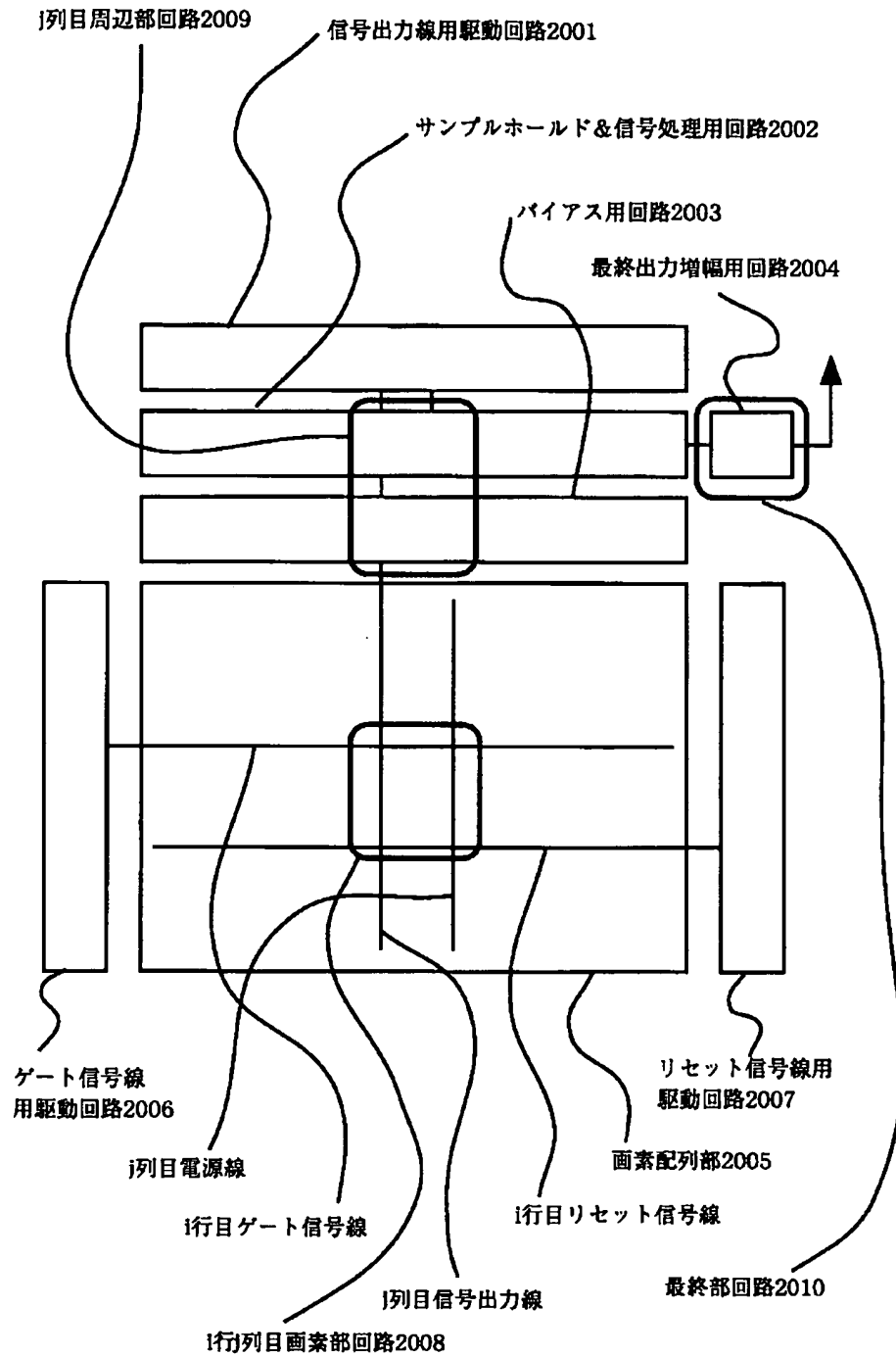
【図18】



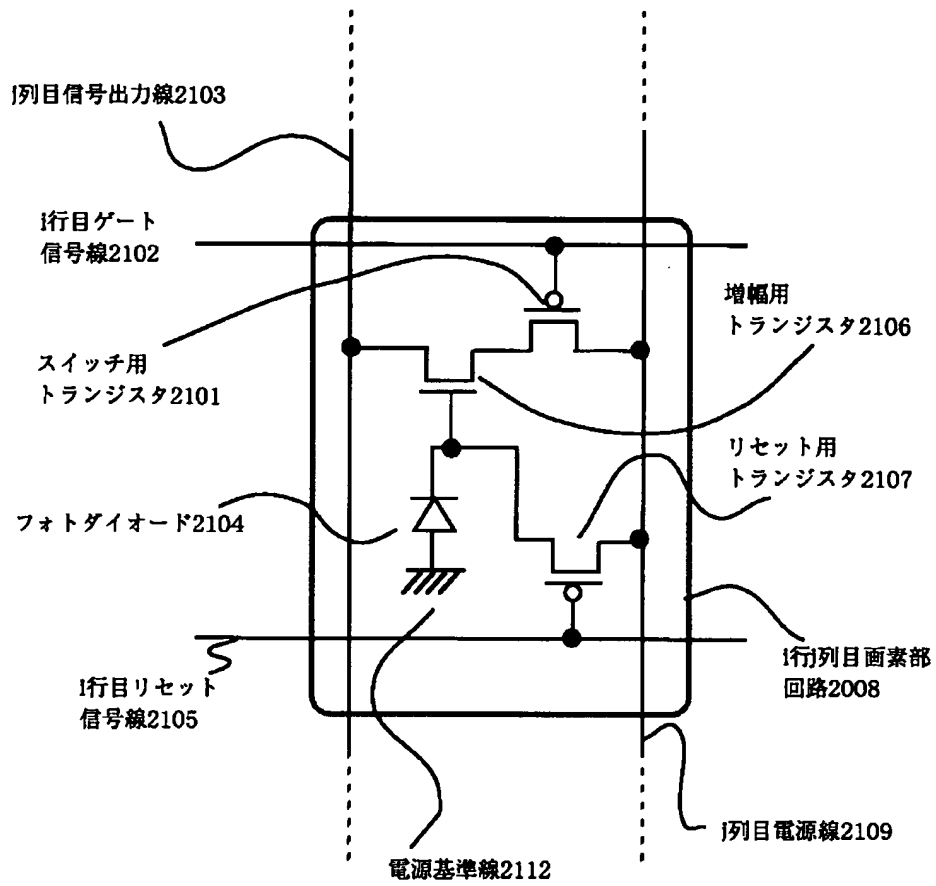
【図19】



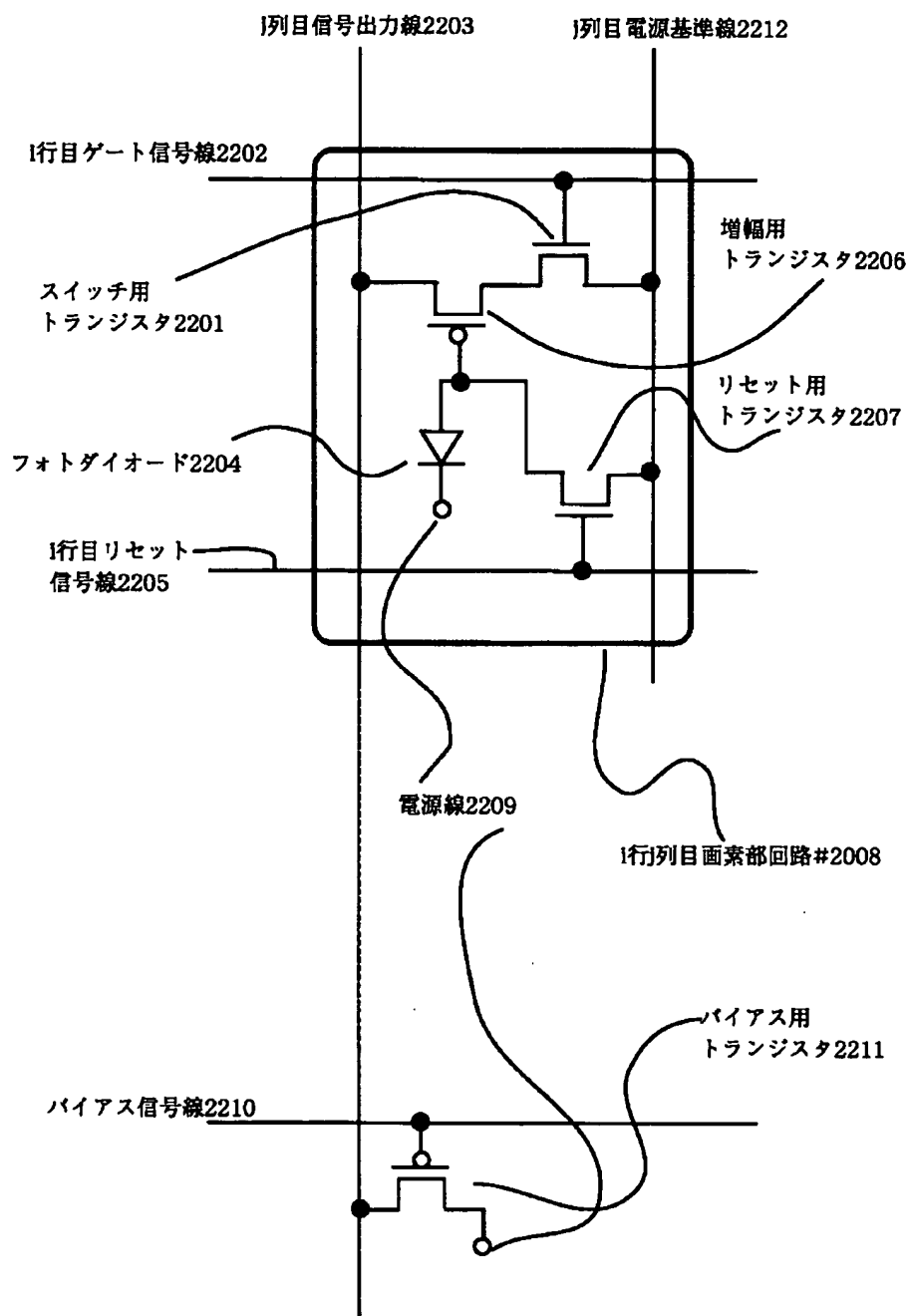
【図20】



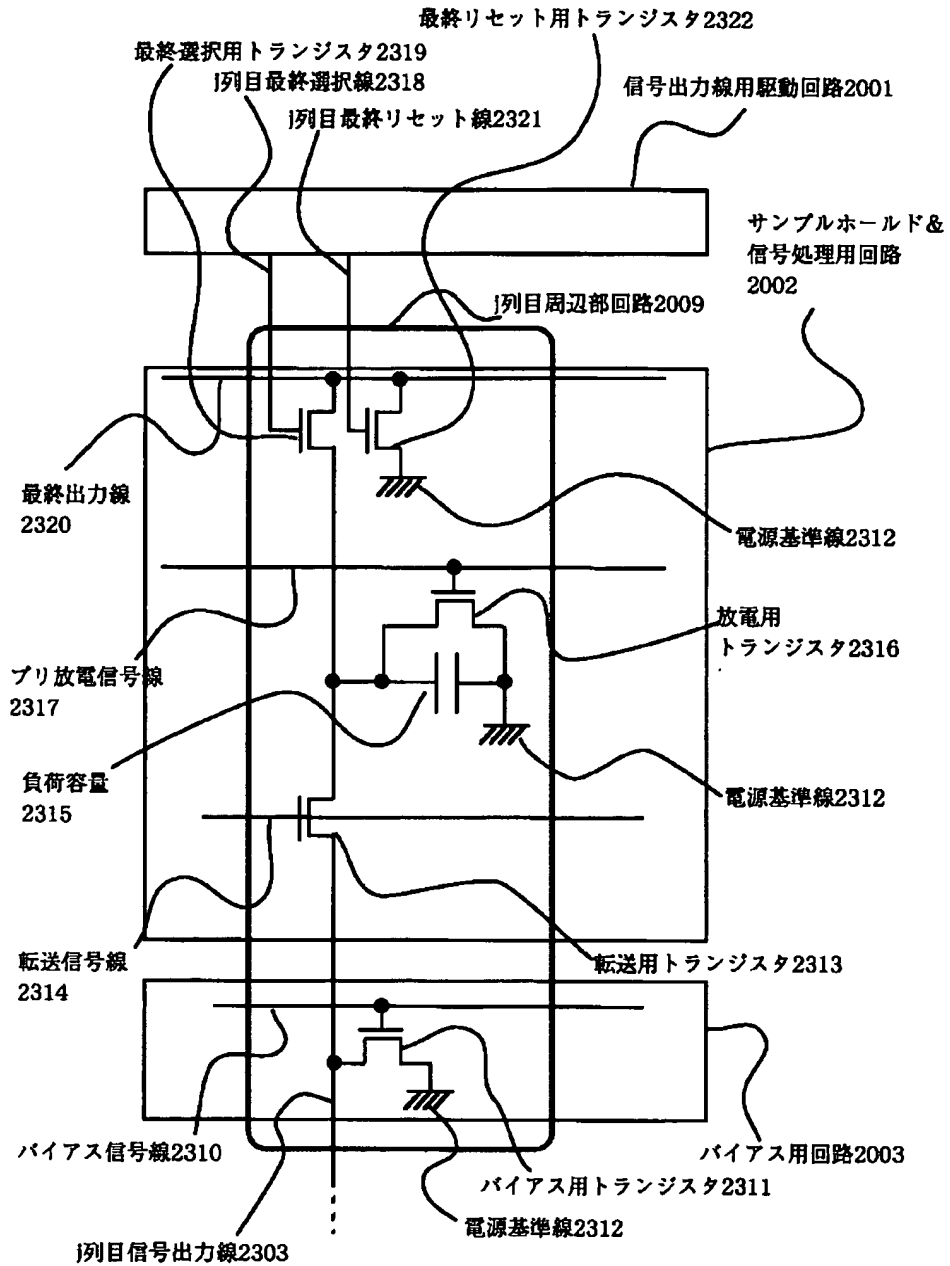
【図 21】



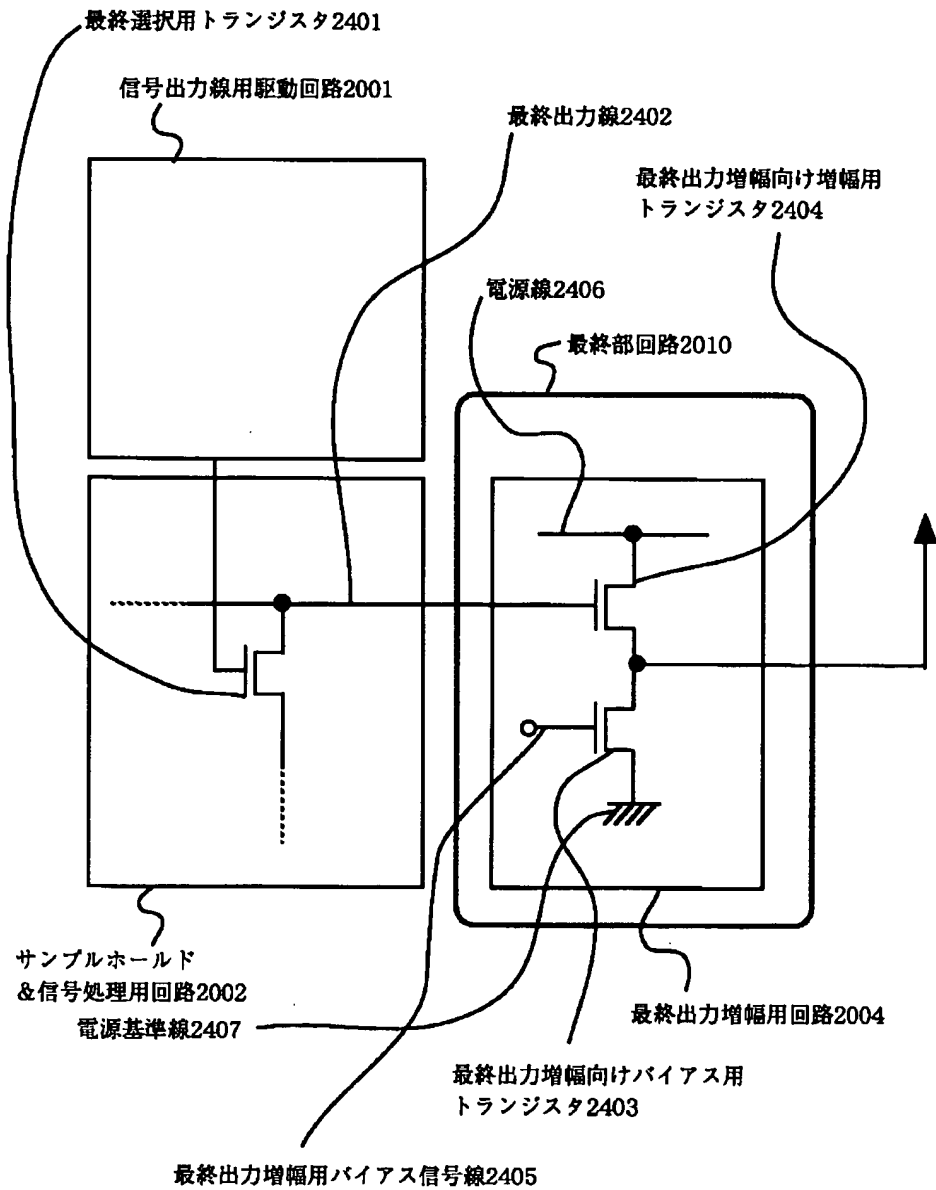
【図22】



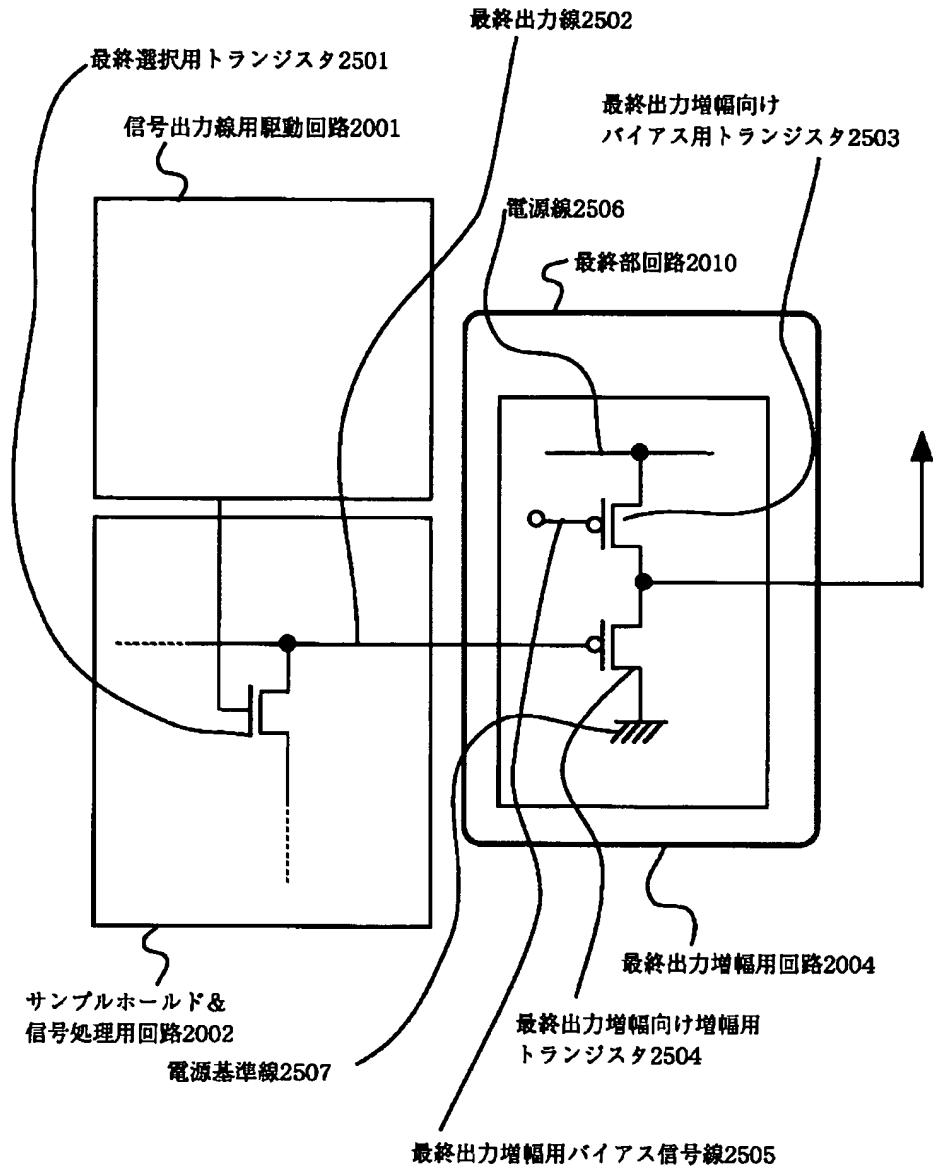
【図23】



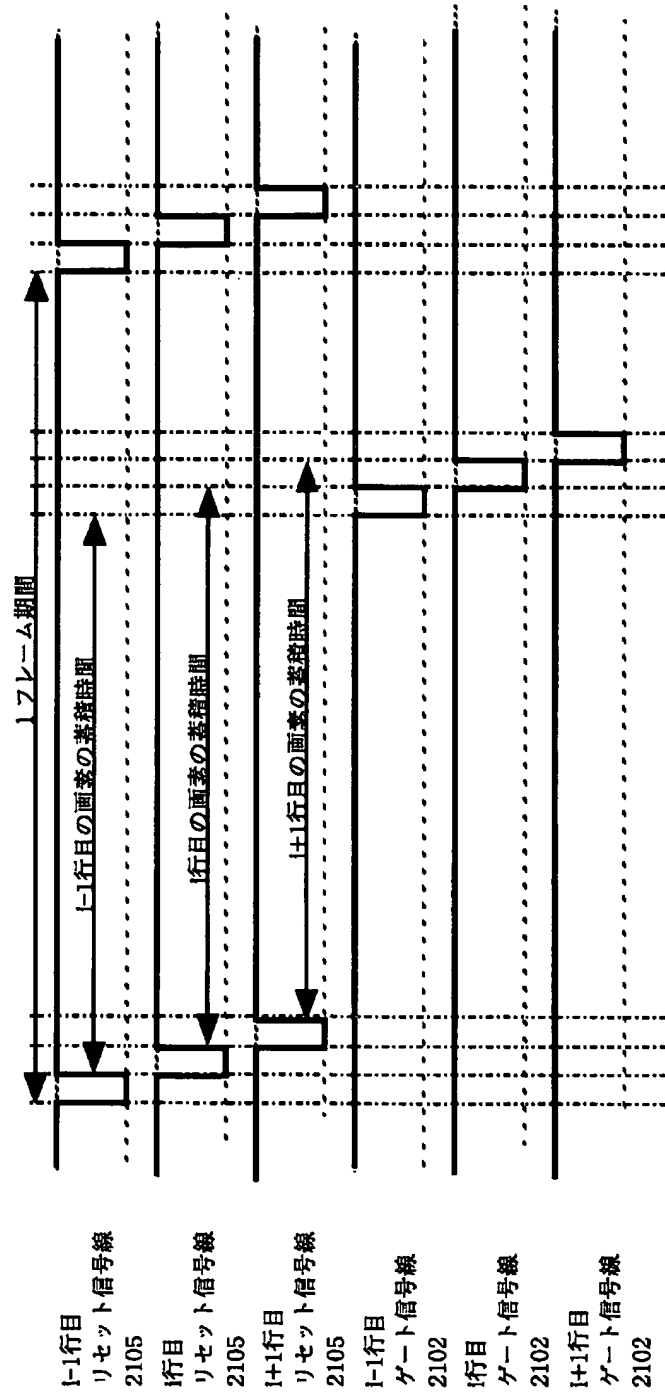
【図24】



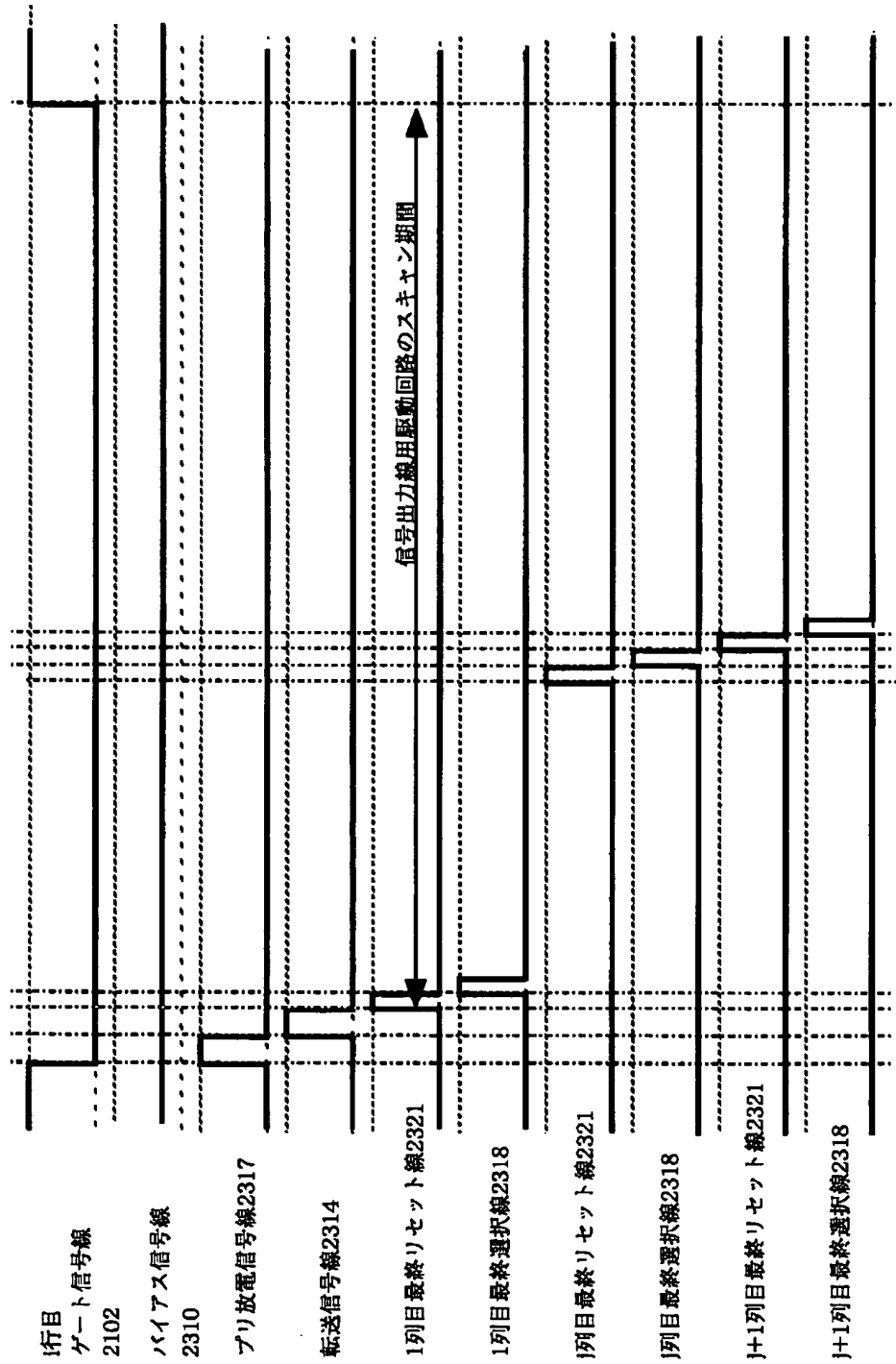
【図 25】



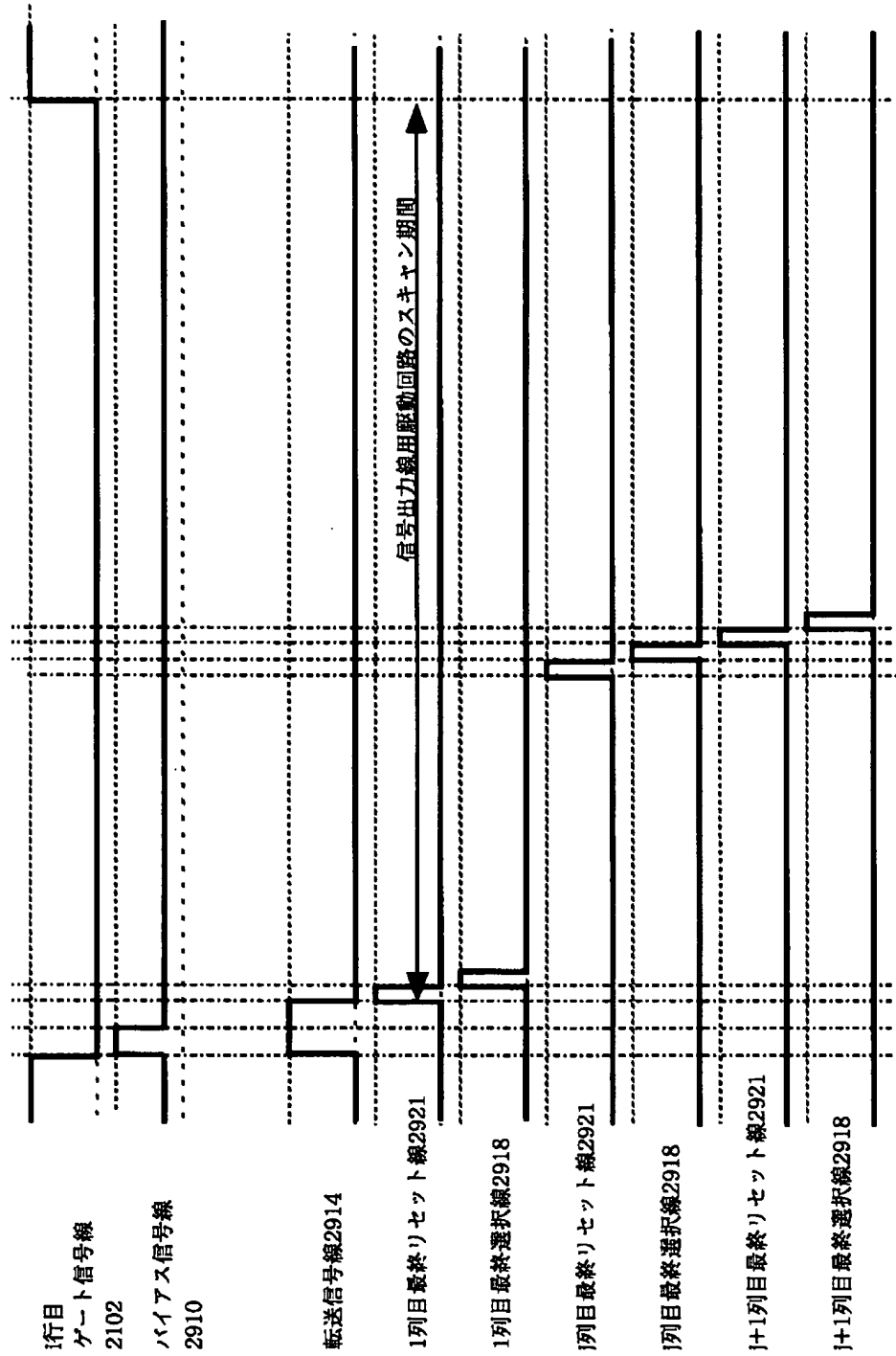
【図26】



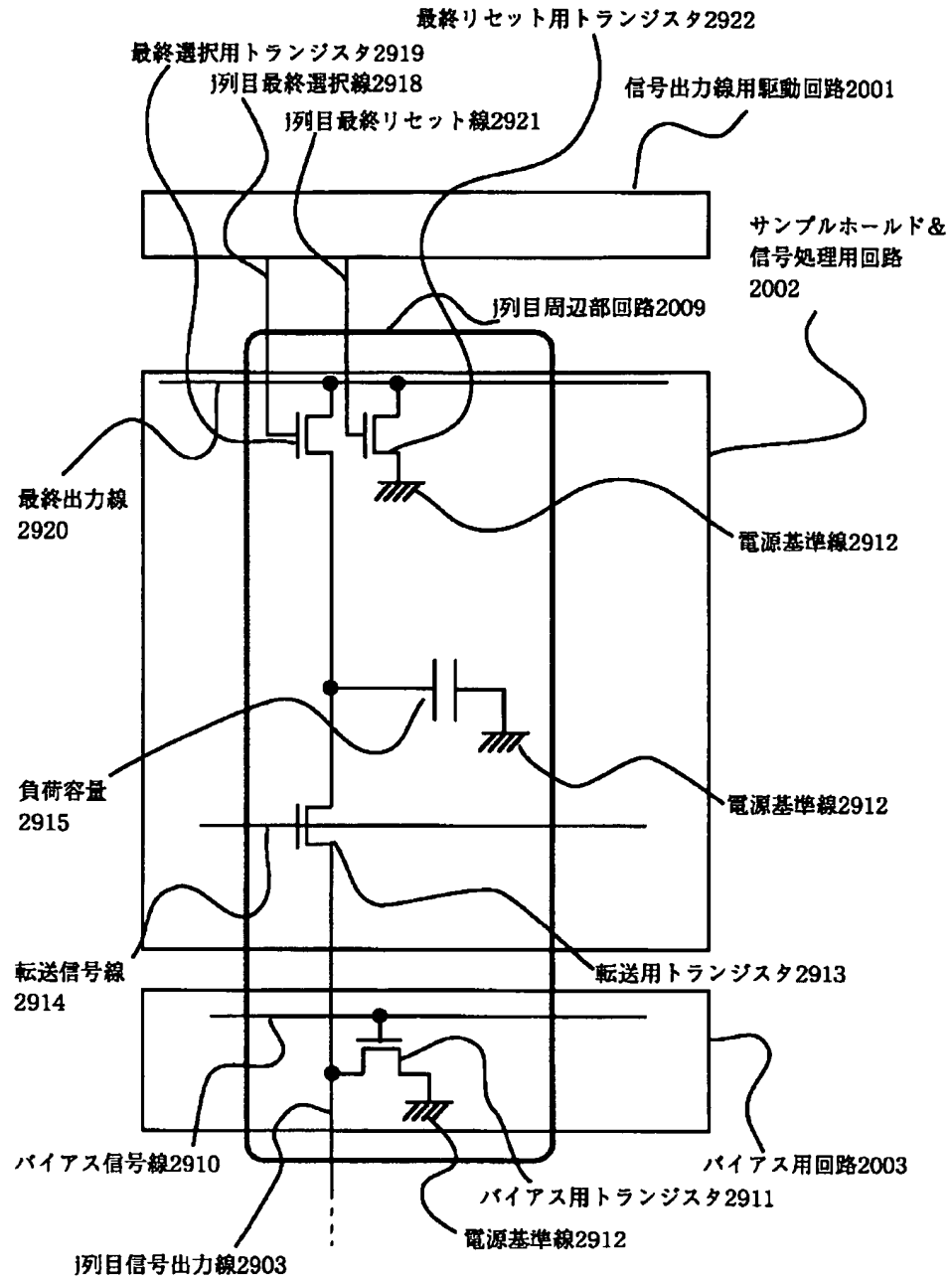
【図27】



【図28】

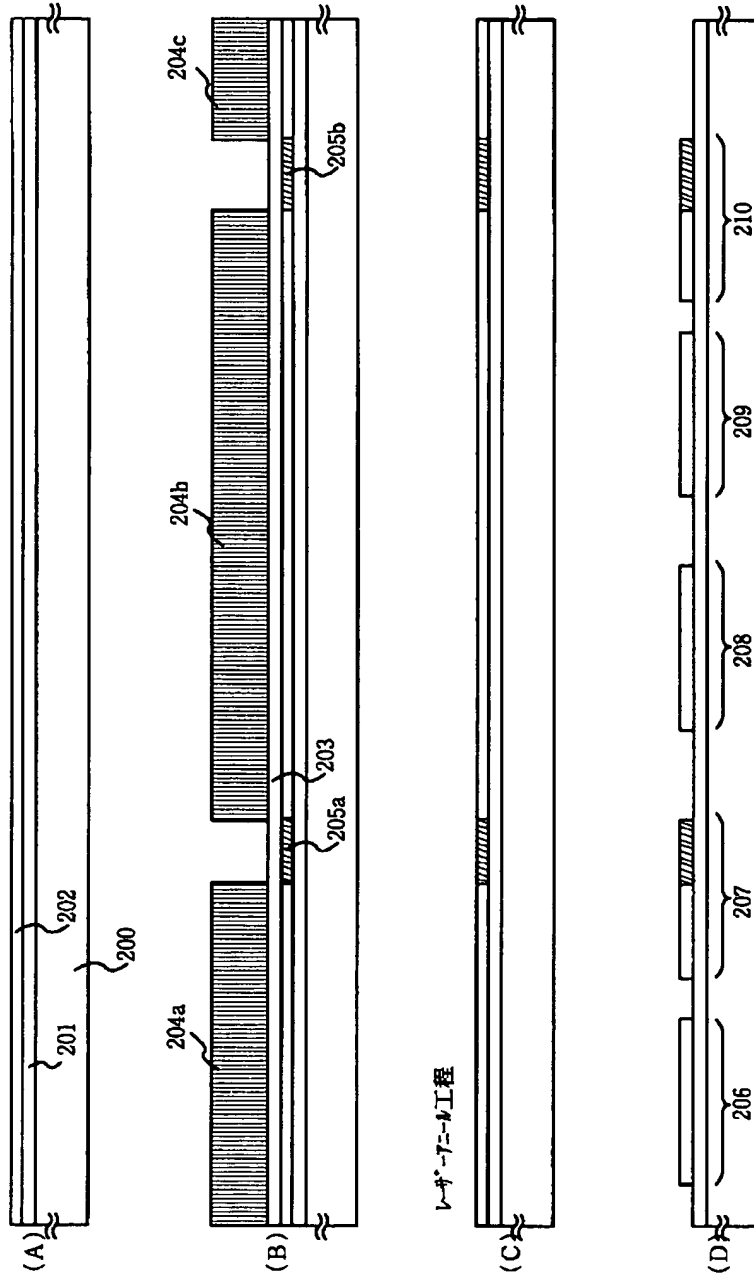


【図29】



【図30】

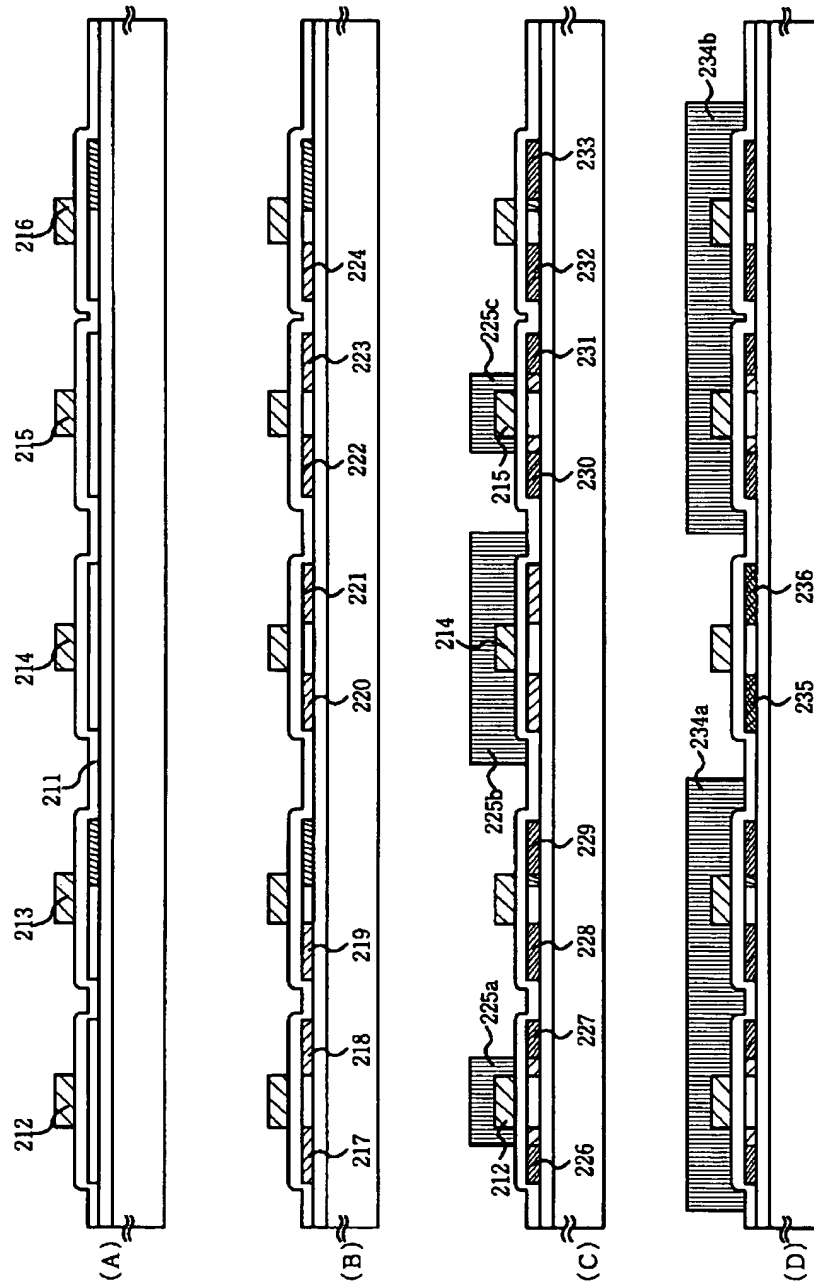
結晶化工程



レジスタ形成工程

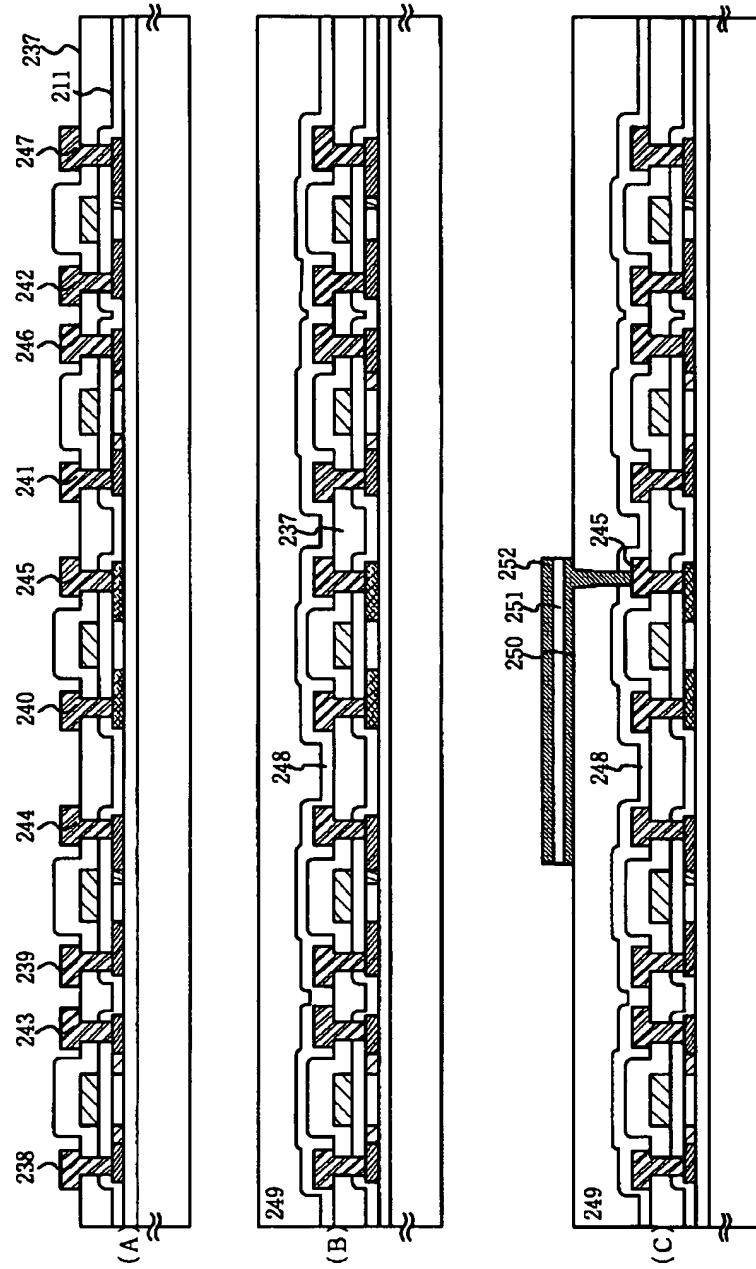
200: ガラス基板、201: 下地膜、202: 結晶質珪素膜、203: 保護膜、204a~c: レジスタ、205a、b: n型不純物領域(b)、206~210: 活性層

【図 3 1】



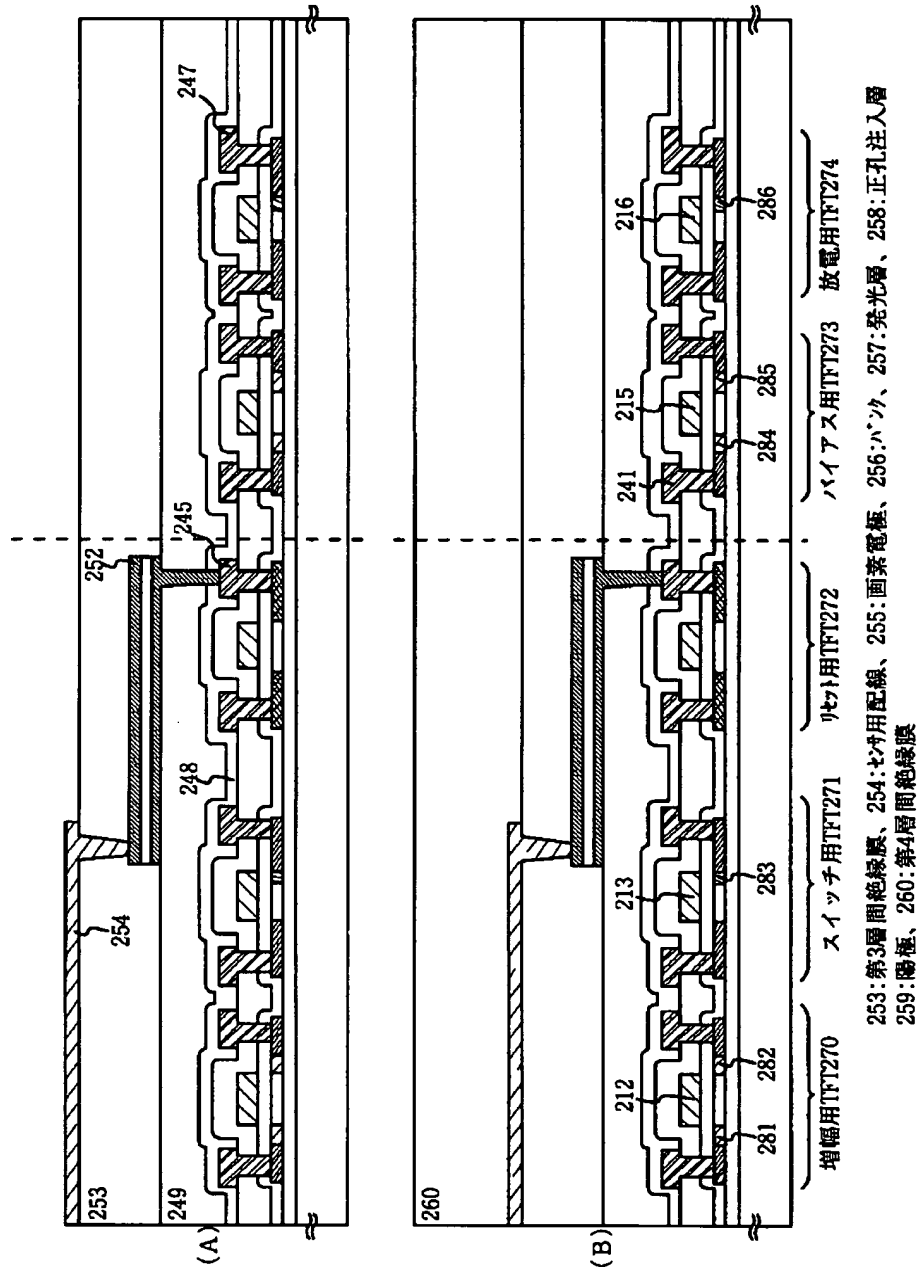
211:ゲート絶縁膜、212～216:ゲート電極、217～224:n型不純物領域(c)、225a～c:ピナスタ、226～233:n型不純物領域(a)
234a, b:ピナスタ、235、236:p型不純物領域

【図32】



237: 第1層間絶縁膜、238~242: ドレイフ配線、243~247: トレイフ配線、248: 第1パッシベーション膜、249: 第2層間絶縁膜、250: カット電極
251: 光電変換層、252: フォト電極

【図33】



【図34】

